

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-015834
 (43)Date of publication of application : 17.01.1997

(51)Int.CI. G03F 1/08
 H01L 21/027

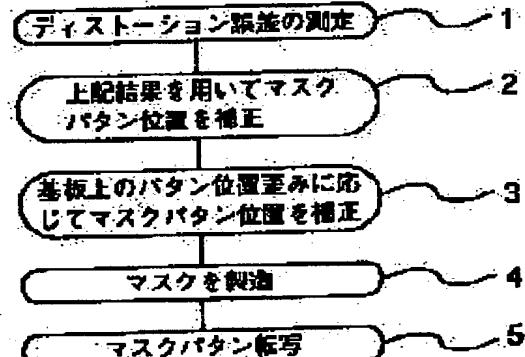
(21)Application number : 07-163266 (71)Applicant : HITACHI LTD
 (22)Date of filing : 29.06.1995 (72)Inventor : IMAI AKIRA
 OKAZAKI SHINJI

(54) MANUFACTURE OF MASK

(57)Abstract:

PURPOSE: To suppress the deterioration of superposing precision by distortion error, and transfer a pattern with a high superposing precision by including a process for measuring the distortion error of an imaging optical system used, and a process for manufacturing a mask the mask pattern position of which is adjusted so as to correct the measured distortion error.

CONSTITUTION: A process 1 for measuring the distortion error in the exposing chip of an intended exposing device is first performed. Then, a process 2 for manufacturing a mask the mask pattern position of which is corrected so as to compensate the displacement of transfer pattern position caused by the error by use of the resulting distortion error measured value is performed. Further, a process 3 for preliminarily predicting the distortion or predicting the distortion by calculation when the pattern preliminarily formed on a substrate is distorted in pattern position by wafer treatment process, and correcting the mask pattern position according to the pattern position distortion is performed. A process 4 for manufacturing a mask is then performed.



LEGAL STATUS

[Date of request for examination] 18.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3561556

[Date of registration] 04.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] By carrying out projection exposure on a substrate through image formation optical system, the mask pattern formed on the mask In the manufacture approach of a mask of using this mask pattern for the pattern formed on the above-mentioned substrate by the pattern imprint approach which carries out a superposition imprint So that the superposition error of the image formation location of the mask pattern projection image projected on the substrate through the above-mentioned image formation optical system and the pattern formed on the above-mentioned substrate may be made small The manufacture approach of the mask characterized by including the process which adjusts the location on the mask of the above-mentioned mask pattern so that pattern location distortion produced by the wafer treatment process of the pattern formed on the gap of a mask pattern projection image image formation location to a mask pattern location and the above-mentioned substrate may be amended.

[Claim 2] By carrying out projection exposure on a substrate through image formation optical system, the mask pattern formed on the mask In the manufacture approach of a mask of using this mask pattern for the pattern formed on the above-mentioned substrate by the pattern imprint approach which carries out a superposition imprint So that the superposition error of the image formation location of the mask pattern projection image projected on the substrate through the above-mentioned image formation optical system and the pattern formed on the above-mentioned substrate may be made small By the wafer treatment process of the pattern formed on image formation location distortion and the above-mentioned substrate of the mask pattern projection image produced according to the distortion error of the above-mentioned image formation optical system The manufacture approach of the mask characterized by including the process which adjusts the location on the mask of the above-mentioned mask pattern so that pattern location distortion to produce may be amended.

[Claim 3] By carrying out projection exposure on a substrate through image formation optical system, the mask pattern formed on the mask In the manufacture approach of a mask of using this mask pattern for the pattern formed on the above-mentioned substrate by the pattern imprint approach which carries out a superposition imprint So that the superposition error of the image formation location of the mask pattern projection image projected on the substrate through the above-mentioned image formation optical system and the pattern formed on the above-mentioned substrate may be made small The manufacture approach of the mask characterized by including the process which adjusts the location on the mask of the above-mentioned mask pattern so that the image formation location distortion of the mask pattern projection image produced according to the distortion error of the above-mentioned image formation optical system may be amended.

[Claim 4] The mask manufacture approach characterized by to include the process which measures the distortion error of the image-formation optical system which uses this mask pattern in the mask pattern imprint approach which imprints on a substrate by carrying out the projection exposure of the mask pattern formed on the mask on a substrate through image-formation optical system, and the process which manufacture the mask which adjusted a mask pattern location so that the distortion error which acquired by this measurement may amend.

[Claim 5] The manufacture approach of the mask characterized by adjusting a mask pattern location to any 1 term using the value which interpolated and searched for the measurement result of the distortion error of said image formation optical system in the manufacture approach of the mask a publication among claim 1 **** claims 4.

[Claim 6] The manufacture approach of the mask characterized by adjusting a mask pattern location to any 1 term using the value which interpolated and obtained the measurement result of the distortion error of said image formation optical system in the manufacture approach of the mask a publication using the spline function among claim 1 **** claims 4.

[Claim 7] The mask manufactured using the manufacture approach of the mask a publication in any 1 term among claim 1 thru/or claim 6.

[Claim 8] The manufacture approach of the solid-state component characterized by including the process which imprints on a substrate the mask pattern formed on this mask by carrying out projection exposure of the mask pattern which used the mask according to claim 7 and was formed on this mask on a substrate through the above-mentioned image formation optical system.

[Claim 9] The solid-state component manufactured by the manufacture approach of a solid-state component according to claim 8.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] This invention relates to the manufacturing technology of the mask for exposure used for the detailed pattern formation in various solid-state components, such as a semiconductor device, a superconductor component, a magnetic-substance component, and an optical-integrated-circuit component.

[0002]

[Description of the Prior Art] Conventionally, the reduced-projection-exposure method which is mainly one of the optical lithography methods has been used for formation of the detailed pattern in solid-state components, such as a large-scale semiconductor integrated circuit. This approach is the approach of carrying out the contraction imprint of the mask pattern formed on the mask or the reticle (it is hereafter named a mask generically) on a substrate using image formation optical system.

[0003] The substrate top minimum pattern dimension imprinted using the describing [above] reduced-projection-exposure method is made detailed below to 0.3 [μm] by 0.3–0.4 [μm] extent and 256[M bit] DRAM by for example, the 64-megabit dynamic random access memory (64[M bit] DRAM). In order to manufacture solid-state components, such as a semi-conductor, it is required to pile up two or more patterns with high precision, and to form them. Generally as for the superposition error at this time, it is needed that it is below a quadrant from 1/3 of the minimum processing dimension. Therefore, for high integration, superposition precision also needs to be highly-precise-sized with detailed-sizing of the minimum processing dimension.

[0004] As a key factor which affects superposition precision in an optical lithography method, there are aligner precision, mask precision, and wafer processes (wafer distortion, mark configuration degradation for alignment exposure, resist spreading unevenness, etc.).

[0005] About a wafer process, there is wafer distortion by the superposition of the ingredient with which the distortion at the time of heat treatment differs from coefficient of thermal expansion, for example etc. among these.

[0006] Moreover, recently about aligner precision, an aligner with which the engine performance below 60 [nm] of the amount of superposition gaps is obtained by an average of +3sigma(sigma is the standard deviation of superposition gap value distribution) is also announced, for example.

[0007] However, the above-mentioned value is the engine performance at the time of carrying out superposition exposure with each aligner simple substance, and the superposition exposure precision between two or more projection aligners will deteriorate rather than this because of the difference between equipment. As a big cause of superposition precision degradation at this time, the error of the image formation optical system by the manufacture error is raised.

[0008] As an error of the image formation optical system which affects superposition precision greatly, there is a distortion error (image formation property including a scale-factor error and the distortion aberration of a projection optics image). This appears as an error imprinted by the location displaced to the location as the mask pattern with which the location of the projection optics image projected on the substrate through image formation optical system should be imprinted essentially.

[0009] In each projection aligner, image formation optical system is adjusted so that a distortion error value may become small as much as possible and the amount of gaps from an ideal location may become smaller enough than the minimum pattern dimension imprinted using this equipment, for example, so that the amount of gaps may become below 50 [nm]. However, since it is impossible to make an error into zero, a distortion error will have the value of a different proper for every aligner. Moreover, it has the fixed inclination which distortion produced according to a wafer process also has in the flexible direction etc.

[0010] Here, if the superposition error between some two projection aligners is estimated, even if the distortion error of each aligner is below 50 [nm], there is a possibility that it may be set to 100 [nm] twice as many as an error as a superposition error between two aligners. Furthermore, the wafer distortion by the wafer process also becomes large with expansion of wafer size, and there is also a possibility that the superposition error more than several 10 [nm] may arise. Therefore, it turns out that the superposition error by the distortion error serves as a very big value to an above-mentioned superposition precision.

[0011] In order to stop the alignment error by the distortion error between such projection aligners, the method of using conventionally only the specific projection aligner which exists for every lot has been used. Moreover, there is also a method of processing the lot which searches for beforehand the combination of a projection aligner with which the superposition error by the distortion error is settled in tolerance as an option, and has used only the projection aligner in this combination.

[0012] Moreover, as the amendment approach of the wafer distortion by the wafer process, telescopic motion of a chip array and telescopic motion of a chip size are specifically measured beforehand, or an aligner is used at the time of superposition exposure, these distortion is measured, and there are wafer distortion produced according to a wafer process and a method of amending these errors and carrying out a pattern imprint at the time of superposition exposure.

[0013]

[Problem(s) to be Solved by the Invention] For highly-precise-izing of superposition precision, it is desirable to make small wafer distortion by the distortion error and wafer process of image formation optical system as much as possible. However, it is impossible to make these into zero for a manufacture error etc. Usually, image formation optical system is adjusted so that it may fall within an allowed value range with the distortion error in the whole surface in the exposure field. It is called for that the allowed value range at this time is minute values, such as below a value [nm] smaller than the permission superposition error in the minimum pattern dimension and solid-state-component production process which are imprinted using this image formation optical system, 100 [for example,], or below 50 [nm].

[0014] The above-mentioned distortion error has the value of a proper for every projection aligner. For this reason, a possibility that only the part of the difference of the distortion error between each equipment may deteriorate has a superposition error in the exposure chip between two or more projection aligners.

[0015] For example, suppose 50 [nm] That it was to the sense opposite to the direction of an exposure chip core with 30 [nm] and another aligner in the direction of an exposure chip core in one aligner with the distortion error in a certain location in an exposure chip. 80 [nm] Even if the superposition error in other locations in an exposure chip is 0 [nm], an error will produce the superposition error between two aligners in this location. Thus, it turns out that there is a possibility that a distortion error may become the big factor of superposition precision degradation. Therefore, for the improvement in superposition precision, it is important to make the difference between equipment of a distortion error small.

[0016] However, generally it is difficult to adjust only the distortion error of image formation optical system to arbitration. Then, the combination of an aligner with which the approach only using the specific aligner which is processing of one certain lot, or the superposition error by the difference of a distortion error becomes smaller is searched for, in processing of one certain lot, it combines and there is an approach only using an inner aligner searched for.

[0017] By using these approaches, it is possible to suppress a superposition error smaller.

However, the inner number of aligners is inadequate, or it is also considered that it will combine if an actual equipment operating condition is taken into consideration, and there is no suitable combination. In such a case, there was a problem that did not produce delay of a component production process or a required superposition precision was no longer acquired. Moreover, since the projection aligner used for every lot was decided, a case as the exposure activity stopped according to the trouble of an aligner, when it had to stop having had to process two or more lots to coincidence and lot processing was delayed by the production process, the time amount which component manufacture takes increased and there was also a problem that a manufacturing cost will rise as a result. Moreover, when it was used, for example combining a projection aligner and electron-beam-lithography equipment, there was also a problem that superposition precision will deteriorate for the distortion error of a projection aligner.

[0018] furthermore, the thing for which telescopic motion of a chip array controls the movement magnitude of a wafer stage about wafer distortion — X and method ** of Y — although amending using correction value different, respectively was possible, since only the scale-factor error of the whole chip could amend amendment of telescopic motion of a chip size, there was also a problem that where of amendment when an un***** wafer distortion has arisen, for example depending on the superposition-ed pattern cannot be performed.

[0019] The purpose of this invention is to offer the technique which superposition precision degradation by the distortion error is suppressed, and it doubles in Takashige, and can imprint a pattern in precision.

[0020] As new along [said] this invention a description as the other purposes will become clear by description and the accompanying drawing of this specification.

[0021]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0022] The process which measures the distortion error of the image formation optical system which uses this mask pattern in the mask pattern imprint approach imprinted on a substrate when the above-mentioned problem carries out projection exposure of the mask pattern formed on the mask on a substrate through image formation optical system, By the mask manufacture approach including the process which manufactures the mask which adjusted the mask pattern location so that the distortion error acquired by this measurement might be amended It is solved by the mask manufacture approach which amends a mask pattern location using the value which interpolated and searched for the distortion error measurement result using the spline function as an approach of furthermore amending the above-mentioned distortion, using the value interpolated and acquired.

[0023]

[Function] As mentioned above, distortion and the distortion error of a substrate which imprint a pattern can become the big factor of superposition precision degradation. So, for the improvement in precision, it is important to make effect of these errors small. What is necessary is just to amend a mask pattern location beforehand so that a gap of an imprint pattern location may become small in order to suppress a gap of the imprint pattern location by the distortion error. moreover, the amount of non-line type distortion of the substrate which carries out the superposition imprint of the pattern — beforehand — or what is necessary is to measure just before superposition exposure, or to predict the amount of distortion of a substrate by count, and just to amend a mask pattern location further based on these results Since these enable it to stop smaller the amount of location gaps of the transferred pattern location on a substrate, and a mask pattern projection optics image, a superposition error can be smaller suppressed as a result.

[0024] An example of a process which manufactures the mask which amended the mask pattern location is explained using drawing 1 . First, the process 1 which measures the distortion error in the exposure chip of the target aligner is performed. Various approaches well-known as a measuring method of a distortion error can be used.

[0025] For example, the substrate which applied the photopolymer is put on the precise substrate stage which has location measurement means, such as a laser interferometer, and the

criteria pattern image for measurement projected centering on the exposure field corresponding to the optical axis of image formation optical system is exposed in much measurement locations on the above-mentioned substrate by carrying out the stepping drive of the substrate stage.

Next, one-shot exposure of many reference pattern images for measurement is carried out so that the measurement criteria pattern of each measurement location in that exposure field may be approached, and it asks for the relative position of the reference pattern for measurement to the criteria pattern location for measurement of each measurement location in the exposure field after a development, and there is the approach of making a difference a distortion error in this relative position. Or a measuring method which is described in JP,6-176999,A can also be used.

[0026] Next, the process 2 which manufactures the mask which amended the mask pattern location so that the variation rate of the imprint pattern location produced according to the distortion error might be compensated using the distortion error measured value obtained by the above-mentioned measurement is performed. Here, it is impossible to measure a distortion error to all the locations in an exposure chip. Then, what is necessary is just to use for amendment of the mask pattern location in parts other than distortion error point of measurement the value calculated from surrounding distortion error measured value.

[0027] For example, what is necessary is just to amend a mask pattern location in the location during distortion error point of measurement, so that the value which interpolated and calculated measured value may be amended. although there are various approaches as the interpolation approach, for example, x and the y-axis are made in agreement with x on a substrate side, and the y-axis in three-dimension space, and distortion is with error x directions in the z-axis -- it is -- what is necessary is to consider y deflection error, to search for the curved surface or polyhedron side which passes the dispersed point of the three-dimension space which is measured value, and just to calculate the error value z over x of arbitration, and y value using this There is the approach of expressing as an approach of expressing the above-mentioned curved surface or a polyhedron side in a polyhedron side as shown, for example in drawing 2. In 21-1 to 21-9, in drawing, distortion error point of measurement and 22-1 to 22-9 displays x components of the distortion error measured value in each point of measurement in three dimensions. What is necessary is just to adjust a mask pattern location, using the z-coordinate value of the point 24 on the polyhedron side over a location 23 as an error value of this location, so that this error may be amended.

[0028] The mask pattern made into the object of location amendment here The approach using the error value over the center position or center-of-gravity location of a mask pattern, As typically shown in drawing 14, the mask pattern 41 is divided into a certain graphic form 42 and graphic form 42-1 to 42-5 of 42 or less unit graphic form magnitude which were decided. The center position 43 of each graphic form, 43-1 to 43-5, or the approach using the error value over a center-of-gravity location, The error value is indicated by the contour line using the error value calculated from the polyhedron side, and there is an approach using the average of the error value used as the boundary of a field as an error value of this field etc. in the field divided with the contour line.

[0029] Or as typically shown, for example in drawing 13, the direction of the z-axis is made into an error value to x and a y-coordinate, an error value is expressed in three dimension using the spline surface using a spline function, and there is also the approach of amending an error value using this. In 21-1 to 21-9, in drawing 13, distortion error point of measurement and 22-1 to 22-9 displays x components of the distortion error measured value in each point of measurement in three dimensions. What is necessary is just to adjust a mask pattern location, using the z-coordinate value of the point 25 on the curved surface over a location 23 as an error value of this location, so that this error may be amended.

[0030] Generally, the distortion error measurement result in the location of the arbitration within an exposure field side can be expressed with sufficient precision practical by interpolating measurement data using the 3rd spline function. Moreover, since the curved surface or polyhedron side which graduated the measurement error of a distortion error by using a spline function can be acquired, it is also possible to amend an error more smoothly.

[0031] Here, an example of the amendment approach of a measurement result using a spline

function is explained briefly. the following — x component [of a distortion error (D_x, D_y)]: — although the amendment approach of D_x is explained, the same is said of y component: D_y . x component $D_x (i, j)$ of a distortion error presupposes that it is given on the lattice point (x_i, y_i) ($i=0, 1$ and $2, \dots, I; j=0, 1$ and $2, \dots, J$) of the field in an exposure chip. Moreover, an exposure chip field presupposes that it defines as $a=x_0 \leq x \leq x_l=b$ and $c=y_0 \leq y \leq y_J=d$. It asks for the following spline function $S(x, y)$ which passes along measured value ($m-1$) at this time. Since measured value can fully be interpolated with the 3rd spline function practical and it can express, it will ask for the 3rd spline function here. It is the internal joint of x directions [0032]

[Equation 1]

$$\xi_1 < \xi_2 < \dots < \xi_h \quad (\text{数 } 1)$$

[0033] It is the internal joint of the direction of y [0034]

[Equation 2]

$$\eta_1 < \eta_2 < \dots < \eta_h \quad (\text{数 } 2)$$

[0035] It carries out. At this time, it is [0036] about x directions.

[Equation 3]

$$l+1 = h+m$$

$$x_0 < \xi_1 < x_m$$

$$x_1 < \xi_2 < x_{m+1}$$

.....

$$x_{l-m} < \xi_h < x_l$$

} (数 3)

[0037] About the direction of y, it is [0038].

[Equation 4]

$$J+1 = k+m$$

$$y_0 < \eta_1 < y_m$$

$$y_1 < \eta_2 < y_{m+1}$$

.....

$$y_{J-m} < \eta_k < y_J$$

} (数 4)

[0039] ***** — it assumes suddenly. Spline function $S(x, y)$ can be expressed using the basis function of a lot. This basis function can be built with the tensor product of a 1-dimensional basis function. In order to build a required basis function, it is a $2m$ piece addition joint [0040] to x directions.

[Equation 5]

$$\begin{aligned} \xi_{1-m} &= \dots = \xi_0 = a \\ \xi_{h+1} &= \dots = \xi_{h+m} = b \end{aligned} \quad \} \quad (\text{数 } 5)$$

[0041] It is a $2m$ piece addition joint [0042] also like the direction of y.

[Equation 6]

$$\begin{aligned} \eta_{1-m} &= \dots = \eta_0 = c \\ \eta_{k+1} &= \dots = \eta_{k+m} = d \end{aligned} \quad \} \quad (\text{数 } 6)$$

[0043] It introduces, respectively. Thereby, spline function $S(x, y)$ is [0044].

[Equation 7]

$$S(x,y) = \sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} M_{mi}(x) M_{mj}(y)$$

$$= \sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} N_{mi}(x) N_{mj}(y)$$

(数7)

[0045] It can express. Here, $N_{mi}(x)$ and $N_{mj}(y)$ are [0046].

[Equation 8]

$$\left. \begin{array}{l} N_{mi}(x) = (\xi_i - \xi_{i-m}) M_{mi}(x) \\ N_{mj}(y) = (\eta_j - \eta_{j-m}) M_{mj}(y) \end{array} \right\}$$

(数8)

[0047] It is B-spline (or fundamental spline) of the m-th floor (m-1) (degree) which ***** (ed) and was normalized, respectively. The value of B-spline is calculable with the following recurrence formula.

[0048]

[Equation 9]

$$M_{r|i}(x) = \frac{(x - \xi_{i-r}) M_{r-1,i-1}(x) + (\xi_i - x) M_{r-1,i}(x)}{\xi_i - \xi_{i-r}}$$

(数9)

但し、

$$M_{1|i}(x) = \begin{cases} (\xi_i - \xi_{i-1}) & (\xi_{i-1} \leq x < \xi_i) \\ 0 & (\text{その他}) \end{cases}$$

$$r = 2, 3, \dots, m$$

[0049]

[Equation 10]

$$M_{r|j}(y) = \frac{(y - \eta_{j-r}) M_{r-1,j-1}(y) + (\eta_j - y) M_{r-1,j}(y)}{\eta_j - \eta_{j-r}}$$

(数10)

但し、

$$M_{1|j}(y) = \begin{cases} (\eta_j - \eta_{j-1}) & (\eta_{j-1} \leq y < \eta_j) \\ 0 & (\text{その他}) \end{cases}$$

$$r = 2, 3, \dots, m$$

[0050] (Several 7) It is [0051] in order to become the interpolation function of measured value with which the formula was given.

[Equation 11]

$$\sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} N_{mi}(x_s) N_{mj}(y_s) = D_x$$

(数11)

($r = 0, 1, \dots, l ; s = 0, 1, \dots, J$)

[0052] What is necessary is just to become. (Several 11) Equations are simultaneous linear equations which make C_{ij} an unknown, and have an unique solution according to the conditions of an equation (several 3), an equation (several 4), and an equation (several 5). It can ask for $S(x, y)$ by solving (several 11).

[0053] What is necessary is just to make it count of the interpolation value D_{xs} in a certain location (X_s, Y_s) be the following. First, the small field R containing (X_s, Y_s), [0054]

[Equation 12]

$$\left. \begin{array}{l} \xi_{i-1} \leq x_s \leq \xi_i \\ \eta_{j-1} \leq y_s \leq \eta_j \end{array} \right\}$$

(数12)

[0055] *****. From the locality of B-spline [to 0056 [then,]]

[Equation 13]

$$S(x_s, y_s) = \sum_{p=1}^{i+m-1} \sum_{q=j}^{j+m-1} C_{pq} N_{mp}(x_s) N_{mq}(y_s) \quad (\text{数13})$$

[0057] It is alike and interpolation value $D_{xs}=S(X_s, Y_s)$ can be found more. What is necessary is just to amend a mask pattern location using this value.

[0058] Or a field may be classified for every fixed error value change which has used the distortion error measurement result, and the amount of amendments may be defined for every field. for example, it was typically shown in drawing 3 — as — a core [value / 0 / [nm] / error] — distortion error 10[— to the mask pattern in the field where a mask pattern field is classified into every nm], for example, an error becomes 25 [nm] from 15 [nm], what is necessary is just made to carry out -10 [nm] amendment of the mask pattern location In drawing 3 , it sets in 20 [nm] angle chip as an example. Beyond the distortion error -5 [nm] the 1st field 61 of under +5 [nm], and beyond the error +5 [nm] The 2nd field 62 of under +15 [nm], the following, The 3rd field 63 the 4th field 64 beyond the error +25 [nm] under +25 [nm] beyond the error +15 [nm] Under +35 [nm] More than the 5th field 65-15 [nm], the 6th field 66 expresses -15 [nm] under -5 [nm], and the 7th field 67 expresses the field of under -25 [nm] beyond the error -35 [nm] beyond the error -25 [nm]. In the 1st field 61, +10 [nm], +20 [nm], +30 [nm], -10 [nm], -20 [nm], and -30 [nm] are used for the error value in each field, respectively in 0 [nm], the 2nd field 62, the 3rd field 63, the 4th field 64, the 5th field 65, the 6th field 66, and the 7th field 67. What is necessary is just to amend a mask pattern location using this value. What is necessary is just to perform this approach to a x or y car component with error.

[0059] Moreover, as typically shown in drawing 4 as the simpler amendment approach, the 1st amendment field 31 around point of measurement 33 may be set up, and the correction value in this field may amend a mask pattern location so that this may be compensated using the measured value in this point of measurement. In this case, since there is a possibility that mask pattern location correction value may change to discontinuity on the boundary of the 1st amendment field 31 and the 2nd amendment field 32, there is a possibility that a mask pattern may become discontinuity in the mask after mask pattern location amendment. However, since the above-mentioned amount of gaps is a minute amount below the resolution limit of pattern drawing equipments, such as electron-beam-lithography equipment which draws a mask pattern below by several 10 [nm] at the time of mask manufacture, it can usually form the continuous mask pattern.

[0060] By the way, a reduced-projection-exposure method is the approach of reducing and imprinting a mask pattern on a substrate. Although 5:1 is [the mask pattern contraction ratio at this time] in use as for current, 4:1 or 2.5:1 is used. Since the dimension on a mask becomes twice [inverse number] a mask pattern contraction ratio, in the case of the contraction ratio 5:1, the dimension of the mask pattern for imprinting 0.4 [μm] patterns on a substrate is set to 2.0 [μm], for example. A mask pattern location should just also make it carry out 150 [nm] migration of the mask pattern location on a mask to carry out 30 [nm] migration of the imprint pattern location on a wafer similarly. That is, it is possible to amend a mask pattern location by the ratio of a wafer top dimension twice [inverse number] the precision of contraction.

[0061] Furthermore, when the pattern beforehand formed on the substrate which carries out the superposition imprint of the mask pattern has produced pattern location distortion by wafer treatment processes, such as a heat treatment process, the amount of distortion is measured beforehand or the amount of distortion is predicted by count. The process 3 (drawing 1) which amends a mask pattern location further according to the above-mentioned pattern location distortion using the obtained result is performed.

[0062] The process 4 (drawing 1) which amends a mask pattern location as stated above, and manufactures a mask is performed. Furthermore, the pattern imprint which amended the gap of the transferred pattern location by the variation rate of an imprint pattern location and wafer distortion depending on an aligner is attained by performing the process 5 (drawing 1) which uses combining the manufactured mask and said aligner and imprints a mask pattern. Consequently, a superposition error can be suppressed small.

[0063] It is desirable to manufacture a mask for every aligner and to use for a pattern imprint using the approach described above. However, it is not desirable from the point of cost to manufacture the mask for imprinting the same pattern for every aligner. Then, when the combination of an aligner small enough has the difference of a distortion error as compared with a superposition allowable error, it is also possible to share the mask whose number is one among these aligners. What is necessary is just to process the process 53 which for that manufactures the mask which amended the mask pattern location using the distortion error average value which was able to be found at the process 51 which searches for the combination of an aligner with which the difference of a distortion error is beforehand subsided in tolerance as shown in drawing 5 , the process 52 which calculates the average value of the distortion error of the aligner which was able to be found according to the above-mentioned process 51, and the process 52. Thus, by performing the process 54 which uses the manufactured mask within the combination of the above-mentioned aligner, and imprints a pattern, it is possible to suppress superposition precision to an allowed value.

[0064] It is required for the pattern distortion by wafer distortion produced according to wafer processes, such as heat treatment, to also amend superposition precision, in order to improve further. What is necessary is to measure this deformation amount beforehand, or to predict wafer distortion beforehand by count, and just to amend a mask pattern location according to the deformation amount obtained at the time of mask manufacture, when wafer distortion has arisen according to the wafer process.

[0065] By the way, there is an electron ray direct writing method as the lithography method for being put in practical use other than the optical lithography method. In the case of an electron-beam-lithography method, a pattern is drawn or imprinted according to migration of a substrate stage and the deviation of an electron ray to have carried the substrate. 4 of a drawing chip when carrying out superposition drawing on a substrate pattern -- finishing -- the location mark pattern for superposition drawing is arranged, these locations are detected, a drawing location is amended and a pattern is drawn. Therefore, supposing the superposition-ed pattern of a substrate is imprinted with the projection aligner and the mark pattern location [finishing / 4 / for a distortion error] is displacing, a drawing pattern location will also produce an error for a mark pattern position error.

[0066] Although it is also possible to amend this error by the electron-beam-lithography equipment side, the error characteristics of each of each aligner and the correction value for every wafer lot must be inputted into electron-beam-lithography equipment. On the other hand, since the above-mentioned approach should just determine the combination of a mask and an aligner, its process is more simple.

[0067]

[Example] Hereafter, the example of this invention is explained.

[0068] (Example of fruit ** 1) This example explains the circuit pattern processing process of the semi-conductor large-scale integrated circuit of the 256-megabit DRAM (dynamic random access memory) class of minimum design dimension 0.25[mum] chip size 20[mm] x20[mm].

[0069] In this example, the pattern imprint was carried out using the KrF excimer laser stepper (projection aligner) [the contraction ratio 5:1 and the exposure wavelength 248 [nm]] of NA=0.55.

[0070] The measurement result of the distortion error within 20[nm] angle exposure chip of the 1st KrF excimer laser stepper used by this example is typically shown in drawing 6 . In this example, the distortion error in the lattice point of the five-line five trains in 20[nm] angle chip (5mm pitch) was measured. By a diagram, the sense and die length of a vector show typically the distortion error measured value in each lattice point location. Drawing 7 shows the distortion error measurement result in each lattice point location. The number of a line and a train shows the number which counted each lattice point location from the upper left side of a chip. In wafer side top two-dimensional xy system of coordinates, the distortion error of +44 [nm] was measured in -10 [nm] and the direction of y in the x directions in the location 21 (location of eye an one-line train [one train]) in the exposure field as a result of measurement.

[0071] The mask pattern location was amended using the above-mentioned distortion error

measurement result. For example, the -220 [nm] shift of the mask pattern location arranged at location 21' on the mask corresponding to a location 21 was made to carry out in the x directions in +50 [nm] and the direction of y. In the location during point of measurement of a distortion error, the mask pattern location was amended so that the error value which interpolated and calculated the distortion error measured value of adjoining point of measurement using the spline function might be amended. The mask pattern location was similarly amended about other locations, and the 1st mask was manufactured.

[0072] The 1st circuit pattern was imprinted on the substrate which processed the predetermined process using the mask manufactured as mentioned above. After processing a predetermined circuit pattern processing process, the 2nd circuit pattern was imprinted using the 2nd stepper.

[0073] The measurement result of the distortion error within 20[mm] angle exposure chip of the 2nd KrF excimer laser stepper used by this example is typically shown in drawing 8. In this example, the distortion error in the lattice point of the five-line five trains in 20[mm] angle chip (5 [mm] pitches) was measured. By a diagram, the sense and die length of a vector show typically the distortion error value in each lattice point location.

[0074] Drawing 9 shows the distortion error measurement result in each lattice point location. The number of a line and a train shows the number which counted each lattice point location from the upper left side of a chip.

[0075] In wafer side top two-dimensional xy system of coordinates, the distortion error of -22 [nm] was measured in -34 [nm] and the direction of y in the x directions in the location 31 (location of eye a three-line train [one train]) in the exposure field as a result of measurement.

[0076] The mask pattern location was amended using the above measurement result. For example, the -110 [nm] shift of the mask pattern location arranged at location 31' on the mask corresponding to a location 31 was made to carry out in the x directions in +170 [nm] and the direction of y. Moreover, it amended like [locations / other / mask pattern] the 1st mask, and the 2nd mask was manufactured.

[0077] The 2nd circuit pattern was piled up and imprinted on the 1st circuit pattern using the mask manufactured as mentioned above. As a result of inspecting the imprinted pattern using a scanning electron microscope, the superposition error of the 1st circuit pattern and the 2nd circuit pattern is below the desired superposition error tolerance 100 [nm], and was able to imprint the 2nd circuit pattern in a good superposition precision.

[0078] A part of cross-section structures of the MOS transistor section which are some large-scale integrated circuits manufactured by this example are typically shown in drawing 16. The 1st mask imprinted by this example was used at the process which forms the isolation pattern 71, and the 2nd mask was used at the process which forms the gate wiring pattern 72.

[0079] By carrying out a pattern imprint as mentioned above, the pattern arrangement error by the distortion error can be suppressed. It is possible for this to suppress a superposition error smaller. Therefore, the production process yield of a solid-state component can be raised.

[0080] Furthermore, since a superposition error can be made small and dispersion in the component property resulting from a superposition gap can also be suppressed, while raising the production process yield, manufacture of a highly efficient solid-state component is also possible.

[0081] In addition, for 70, as for an insulator layer and 74, in drawing 16, a substrate and 73 are [a source field and 75] drain fields.

[0082] (Example of fruit ** 2) This example explains the circuit pattern processing process of the large-scale integrated circuit of the 256-megabit DRAM (dynamic random access memory) class of minimum design dimension 0.25[mum] chip size 20[mm] x20[mm].

[0083] In this example, the 1st same circuit pattern as an example 1 was imprinted on the substrate which processed the predetermined process using the krF excimer laser stepper (projection aligner) [the contraction ratio 5:1 and the exposure wavelength 248 [nm]] of NA=0.55.

[0084] The distortion error within 20[mm] angle exposure chip of the KrF excimer laser stepper used by this example was measured. In this example, the distortion error in the lattice point of

the five-line five trains in 20[mm] angle chip (5 [mm] pitches) as well as the 1st example was measured.

[0085] The difference of the above-mentioned measurement result and the distortion error measurement result of the KrF excimer laser stepper used in the example 1 is shown in drawing 10. The difference of the distortion error of the stepper used by this example from the measurement result and the 1st stepper used in the 1st example was less than **30 [nm], and was 1/3 or less [of the permission superposition error 100 [nm]]. So, in this example, the 1st circuit pattern was imprinted using the 1st mask manufactured in the 1st example.

[0086] As a result of inspecting the imprinted pattern using a scanning electron microscope, the superposition error of the 1st circuit pattern and the substrate pattern currently formed at the process before it is below the desired superposition error tolerance 100 [nm], and was able to imprint the 1st circuit pattern in a good superposition precision.

[0087] (Example of fruit ** 3) This example explains the circuit pattern processing process of the large-scale integrated circuit of the 256-megabit DRAM (dynamic random access memory) class of minimum design dimension 0.25[mum] chip size 20[mm] x20[mm].

[0088] In this example, the mask for the 1st circuit pattern imprint used like an example 1 by the KrF excimer laser stepper (projection aligner) [the contraction ratio 5:1 and the exposure wavelength 248 [nm]] of NA=0.55 was manufactured. The 1st circuit pattern was imprinted on the substrate which processed the predetermined process using the mask and the above-mentioned stepper which were manufactured. After processing a predetermined circuit pattern processing process, the 2nd circuit pattern was imprinted using the 2nd stepper.

[0089] In this example, the 2nd circuit pattern was imprinted using the 2nd same KrF excimer laser stepper as an example 1. Drawing 9 shows the distortion error measurement result in each lattice point location. The number of a line and a train shows the number which counted each lattice point location from the upper left side of a chip.

[0090] In wafer side top two-dimensional xy system of coordinates, the distortion error of -22 [nm] was measured in -34 [nm] and the direction of y in the x directions in the location 31 (location of eye a three-line train [one train]) in the exposure field as a result of measurement.

[0091] The mask pattern location was amended using the above measurement result. For example, the -110 [nm] shift of the mask pattern location arranged at location 31' on the mask corresponding to a location 31 was made to carry out in the x directions in +170 [nm] and the direction of y. Moreover, it amended like [locations / other / mask pattern] the 1st mask, and the 2nd mask was manufactured.

[0092] The 2nd circuit pattern was piled up and imprinted on the 1st circuit pattern using the mask manufactured as mentioned above. As a result of inspecting the imprinted pattern using a scanning electron microscope, since the substrate was distorted, it turned out that the superposition error as shown in drawing 15 has arisen. An axis of ordinate expresses the amount of superposition gaps for the location on the x axis of xy system of coordinates where the axis of abscissa of drawing made the chip core the zero, and the measurement result of one certain imprint chip on a substrate is shown. Moreover, the dotted line in drawing expresses the average of the amount measured value of superposition gaps in this chip. The average of the amount of superposition gaps differed in the chip except having illustrated in -70 [nm] to +43 [nm]. A measurement result shows that the superposition gap value below the desired superposition tolerance**80 [nm] is not acquired. Moreover, since the amount of superposition gaps by substrate distortion was large as compared with 20 [nm] extent and superposition gap tolerance as shown in drawing 15, we decided to amend the mask pattern location of the 2nd mask further using a superposition error measurement result. That is, the mask pattern location amended using the distortion error measurement result was further amended so that the superposition error shown in drawing 15 might be amended. The 2nd mask for the 2nd circuit pattern imprint was again manufactured using the mask pattern data which amended the pattern location as mentioned above.

[0093] The superposition imprint of the 2nd circuit pattern was carried out on the 1st circuit pattern using the mask manufactured as mentioned above. As a result of inspecting the imprinted pattern using a scanning electron microscope, the superposition error of the 1st circuit

pattern and the 2nd circuit pattern is below the desired superposition error tolerance**80 [nm], and was able to imprint the 2nd circuit pattern in a good superposition precision.

[0094] By carrying out a pattern imprint as mentioned above, a distortion error and the pattern arrangement error by substrate distortion can be suppressed. It is possible for this to suppress a superposition error smaller. Therefore, the production process yield of a solid-state component can be raised.

[0095] Furthermore, since a superposition error can be made small and dispersion in the component property resulting from a superposition gap can also be suppressed, while raising the production process yield, manufacture of a highly efficient solid-state component is also possible.

[0096] (Example of fruit ** 4) This example explains the circuit pattern processing process of the large-scale integrated circuit of the 64-megabit DRAM (dynamic random access memory) class of minimum design dimension 0.3[mum] chip size 20[mm] x20[mm].

[0097] In this example, the 1st circuit pattern was imprinted on the substrate which processed the predetermined process using i line stepper (projection aligner) [the contraction ratio 5:1 and the exposure wavelength 365 [nm]] of NA=0.63.

[0098] The measurement result of the distortion error within 20[mm] angle exposure chip of i line aligner used by this example is shown in drawing 11. In this example, the distortion error in the lattice point of the five-line five trains in 20mm angle chip (5 [mm] pitches) was measured.

[0099] The mask pattern location was amended using the above measurement result, and the mask was manufactured. The 1st circuit pattern was imprinted using the manufactured mask.

[0100] After processing a predetermined circuit pattern processing process, the 2nd circuit pattern was imprinted this time using electron ray direct writing equipment. When superposition drawing is carried out, the arrangement location of the used location mark pattern is typically shown in drawing 12. The mark pattern 11 for superposition drawing has been arranged in four corners of a chip 10. This mark pattern is formed in coincidence at the time of circuit pattern processing of the above 1st.

[0101] The 2nd circuit pattern was drawn and imprinted, having detected the above-mentioned location mark pattern and amending a pattern drawing location. After the pattern imprint, when the superposition error of the 1st circuit pattern and the 2nd circuit pattern was measured using the scanning electron ray microscope, the part to which the superposition error is larger than 100 [nm] was not seen. That is, the superposition error of two patterns is below 100 [nm] of superposition error tolerance, and a desired superposition precision was attained.

[0102] Since a pattern predetermined in a desired superposition precision is processible by manufacturing a large-scale-integrated-circuit component as it stated above, it is possible to manufacture a component by the high yield.

[0103] (Example of fruit ** 5) This example measured the distortion error as well as an example 1, and searched for the distortion error of the x and the direction of y in the location of the arbitration in a pattern imprint field according to the spline surface using the spline function from the measurement result. the value which this calculated — error value 10[— it divided into the field of every nm], and the mask pattern location was amended so that an error amount might be amended for each field. In addition, although the amount of error value changes at the time of dividing a field is not restricted to 10 [nm], if the amendment precision of a mask pattern location is taken into consideration, it must carry out at least to below the need superposition precision in a solid-state-component production process.

[0104] The amendment approach of the mask pattern location in this example is explained using drawing 3. Although x components of a distortion error value were expressed with drawing 3, it can express similarly about y component. In drawing 3, more than -5 [nm], as for the field of under 5 [nm], and a field 62, a distortion error value expresses the field of under or more 5 15 [nm], and the following field 63, and, as for the field 61 on a mask, the distortion error value expresses the field of under or more 15 25 [nm] and under or more 25 35 [nm], respectively, as for the field 64. Similarly, in the field 67, the field 66 expresses the field of under or more [-] 35 -25 [nm] under or more [-] 25 -15 [nm] under 65 to 15 or more field -5 [nm]. In addition, in the aligner used by this example, x components of the distortion error in an exposure field were

under **35 [nm].

[0105] Then, when carrying out mask pattern drawing of the inside of a field 61 at the time of mask manufacture, amendment of a mask pattern location was not performed to the x direction components. Moreover, when the inside of a field 62 was drawn, -10[nm] drawing location was amended to the x direction components. The mask pattern drawing location was amended so that the mean value of the distortion error range of each field might be similarly amended about other fields. In addition, it amended similarly to the direction component of y.

[0106] The 1st circuit pattern was imprinted on the substrate which processed the predetermined process using the mask manufactured as mentioned above. After processing a predetermined circuit pattern processing process, the 2nd circuit pattern was imprinted this time using electron ray direct writing equipment. When superposition drawing was carried out, the arrangement location of the used location mark pattern was made into the location typically shown in drawing 12 like the example 3. Moreover, the mark pattern 11 for superposition drawing has been arranged in four corners of a chip 10. This mark pattern 11 is formed in coincidence at the time of circuit pattern processing of the above 1st.

[0107] The 2nd circuit pattern was drawn and imprinted, having detected the above-mentioned location mark pattern and amending a pattern drawing location. After the pattern imprint, when the superposition error of the 1st circuit pattern and the 2nd circuit pattern was measured using the scanning electron ray microscope, the part to which the superposition error is larger than 100 [nm] was not seen. That is, the superposition error of two patterns is below 100 [nm] of superposition error tolerance, and a desired superposition precision was attained.

[0108] Since a pattern predetermined in a desired superposition precision is processible by manufacturing a large-scale-integrated-circuit component as it stated above, it is possible to manufacture a component by the high yield.

[0109] (Example of fruit ** 6) This example explains the circuit pattern processing process of the large-scale integrated circuit of the 256-megabit DRAM (dynamic random access memory) class of minimum design dimension 0.25[mum] chip size 20[mm] x20[mm].

[0110] In this example, the 1st circuit pattern was imprinted on the substrate which processed the predetermined process using the KrF excimer laser stepper (projection aligner) [the contraction ratio 5:1 and the exposure wavelength 248 [nm]] of NA=0.55. After processing a predetermined circuit pattern processing process, the 2nd stepper was used and the 2nd circuit pattern was imprinted.

[0111] In this example, the 2nd circuit pattern was imprinted using the 2nd same KrF excimer laser stepper as an example 1. Drawing 9 shows the distortion error measurement result in each lattice point location. The number of ***** shows the number which counted each lattice point location from the upper left side of a chip. In wafer side top two-dimensional xy system of coordinates, the distortion error of -22 [nm] was measured in -34 [nm] and the direction of y in the x directions in the location 31 (location of eye a 31-line train [one train]) in the exposure field as a result of measurement.

[0112] On the other hand, a prior examination showed that the location of the circuit pattern formed on the substrate was intricately distorted within a chip as shown in drawing 17 by the component production process. Here, the axis of abscissa of the graph of drawing 17 makes a chip core a zero, and expresses the location on the y-axis when taking two-dimensional xy system of coordinates in the direction parallel each side of a chip. Moreover, the axis of ordinate expresses the amount of gaps of this circuit pattern location by the component production process from the resist pattern location imprinted in order to process a circuit pattern. Drawing expresses the case where the circuit pattern into which the ingredient which produces wafer distortion in the 15 [mm] angular domain 82 in the chip 81 of 20 [mm] angles was processed is arranged.

[0113] Drawing 18 makes the center position of a field 82 in agreement with the center position of a chip 81, arranges it, and expresses the degree of shrinkage (rate of chip scale-factor modification) of the chip dimension of 20[mm] angle chip 81 when changing the dimension of a field 82 from 0 [mm] angles to 20 [mm] angles. The axis of abscissa of drawing expresses the dimension of a field 82. Here, the above-mentioned circuit patterns in a field 82 were periodic

Rhine and a tooth-space pattern, and same circuit pattern to x directions. As shown in drawing 18 , it also turned out that the difference of the degree of shrinkage of a chip 81 has arisen the a maximum of 0.5 [ppm] grade in x directions and the direction of y.

[0114] In this example, since the size of a field 82 was 15 [mm] angles, the chip scale-factor error of x directions amended the chip dimension of a mask pattern noting that the chip scale-factor error of -0.6 [ppm] and the direction of y 0.9 [-] [ppm] Arose. In addition, a degree of shrinkage -0.6 [ppm] corresponds to the contraction of about 11 [nm] to the chip top dimension 18 [mm]. . Since it changed within the chip of a pattern location as furthermore shown in drawing 17 , the circuit pattern location on a mask was amended so that this location gap might be amended. Furthermore, mask pattern data were ***** (ed) to ** like the example 1 so that an above-mentioned distortion error might be amended.

[0115] The 2nd mask for the 2nd circuit pattern imprint was manufactured using the mask pattern data amended as mentioned above.

[0116] The superposition imprint of the 2nd circuit pattern was carried out on the 1st circuit pattern using the manufactured mask. As a result of inspecting the imprinted pattern using a scanning electron microscope, the superposition error of the 1st circuit pattern and the 2nd circuit pattern is below the desired superposition error tolerance**80 [nm], and was able to imprint the 2nd circuit pattern in a good superposition precision.

[0117] By carrying out a pattern imprint as mentioned above, a distortion error and the pattern arrangement error by substrate distortion can be suppressed. It is possible for this to suppress a superposition error smaller. Therefore, the production process yield of a solid-state component can be raised.

[0118] Furthermore, since a superposition error can be made small and dispersion in the component property resulting from a superposition gap can also be suppressed, while raising the production process yield, manufacture of a highly efficient solid-state component is also possible.

[0119] In addition, the example of the configuration of the stepper (projection aligner) used in the example of this invention is shown in drawing 19 .

[0120] As shown in drawing 19 , the light emitted from the light source 131 illuminates a mask 136 through the fly eye lens 132, a condensing lens 133, a mirror 134, and a condensing lens 133. On the mask 136, the pellicle 137 for preventing the poor pattern imprint by foreign matter adhesion is formed. The mask pattern drawn on the mask 136 is projected through the projection lens 138 on the wafer 139 which is a sample substrate. In addition, a mask 136 is laid on the mask stage 148 controlled by the mask position control means 147, and, as for the core and optical axis of the projection lens 138, alignment is made correctly. Vacuum adsorption of the wafer 139 is carried out on the sample base 140. The sample base 140 is laid on movable Z stage 141, the direction of an optical axis, i.e., the Z direction, (lengthwise direction) of the projection lens 138, and is further carried on X-Y stage 142. Since Z stage 141 and X-Y stage 142 are driven by each driving means 113 and 114 according to the control instruction from the main control system 149, they are movable in a desired exposure location. As a location of the mirror 146 fixed to Z stage 141, it acts as the monitor of the location correctly with the laser measuring machine 145. Moreover, the surface location of a wafer 139 is measured with the focal location detection means which the usual aligner has. The front face of a wafer 139 can always be made in agreement with the image formation side of the projection lens 138 by making Z stage 141 drive according to a measurement result.

[0121] As mentioned above, although invention made by this invention person was concretely explained based on the above-mentioned example, as for this invention, it is needless to say for it to be able to change variously in the range which is not limited to the above-mentioned example and does not deviate from the summary.

[0122]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0123] Above, according to this invention, superposition precision degradation by the distortion error can be suppressed, it can double in Takashige, and a pattern can be imprinted in precision.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is process drawing showing the mask production process by this invention.

[Drawing 2] It is the mimetic diagram showing the mask pattern amendment approach by this invention.

[Drawing 3] It is the mimetic diagram showing the mask pattern amendment approach by this invention.

[Drawing 4] It is the mimetic diagram showing the mask pattern amendment approach by this invention.

[Drawing 5] It is process drawing showing the mask production process by this invention.

[Drawing 6] The mimetic diagram showing the distortion error measurement result of the 1st stepper in the example 1 of this invention.

[Drawing 7] It is drawing showing the distortion error measurement result of the 1st stepper in the example 1 of this invention.

[Drawing 8] It is the mimetic diagram showing the distortion error measurement result of the 2nd stepper in an example 1.

[Drawing 9] It is drawing showing the distortion error measurement result of the 2nd stepper in the example 1 of this invention.

[Drawing 10] It is drawing showing the measurement result of the difference of the distortion error of two sets of the steppers in the example 2 of this invention.

[Drawing 11] It is drawing showing the distortion error measurement result of the stepper in the example 3 of this invention.

[Drawing 12] It is the mimetic diagram showing arrangement of the location mark pattern in the example 3 of this invention.

[Drawing 13] It is the mimetic diagram showing the mask pattern amendment approach by this invention.

[Drawing 14] It is the mimetic diagram showing the mask pattern amendment approach by this invention.

[Drawing 15] It is drawing showing the superposition error measurement result measured in the example 3 of this invention.

[Drawing 16] It is the mimetic diagram showing a part of cross-section structures of the MOS transistor section ****(ed) by the large-scale integrated circuit.

[Drawing 17] It is the mimetic diagram showing the amount of pattern location gaps of the circuit pattern formed on the substrate.

[Drawing 18] It is the mimetic diagram showing the flexible rate of change of the two-dimensional direction of the chip formed on the substrate.

[Drawing 19] It is the outline block diagram showing the example of the configuration of the stepper used in the example of this invention.

[Description of Notations]

1 — The process, 2 which measure a distortion error — The process which amends a mask pattern location using the above-mentioned result, 3 — The process which amends a mask pattern location according to the pattern location distortion on a substrate, 4 — The process, 5

which manufacture a mask — The process, 10 which imprint a mask pattern — Chip, 11 — A location mark, 21-1, 21-2, 21-3, 21-4, 21-5, 21-6, 21-7, 21-8, 21-9, 22-1, 22-2, 22-3, 22-4, 22-5, 22-6, 22-7, 22-8, 22-9 — Measured value, 23 — Pattern location, 24 25 — An error value, 31 — The 1st amendment field, 32 — The 2nd amendment field, 33 [— Graphic form,] — Point of measurement, 41 — A mask pattern, 42 — A graphic form, 2-1, 42-2, 42-3, 42-4, 42-5 The center position of 43 — graphic forms, 43-1, 43-2, 43-3, 43-4, 43-5 : The center position of a graphic form, 51 — The process, 52 which search for the combination of an aligner — The process which asks for the average of the distortion error of the above-mentioned aligner group, 53 — The process, 54 which manufacture the mask which amended the mask pattern location — The process which carries out a pattern imprint using the manufactured mask, 60 [— The 3rd field,] — A chip, 61 — The 1st field, 62 — The 2nd field, 63

* NOTICES *

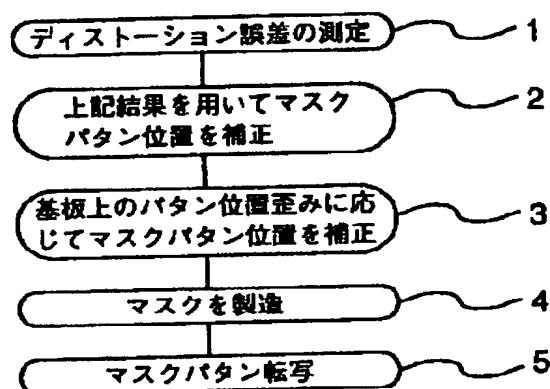
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

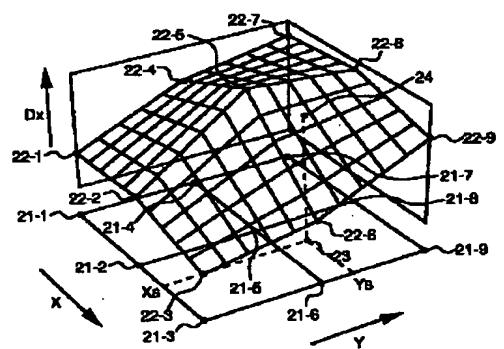
[Drawing 1]

図 1

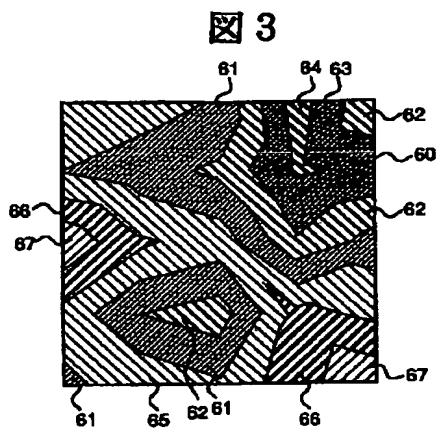


[Drawing 2]

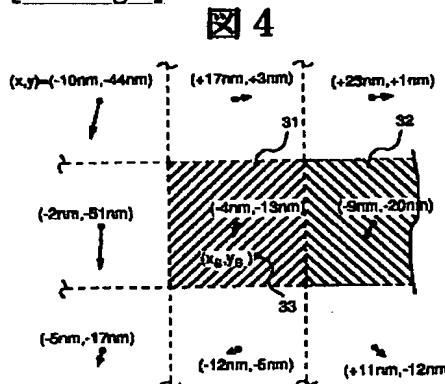
図 2



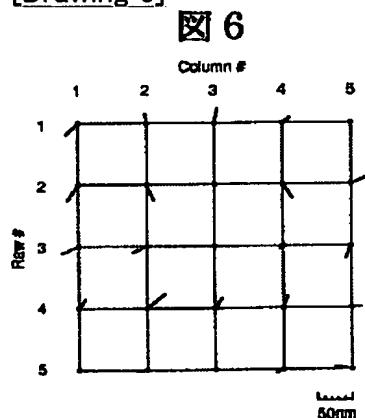
[Drawing 3]



[Drawing 4]

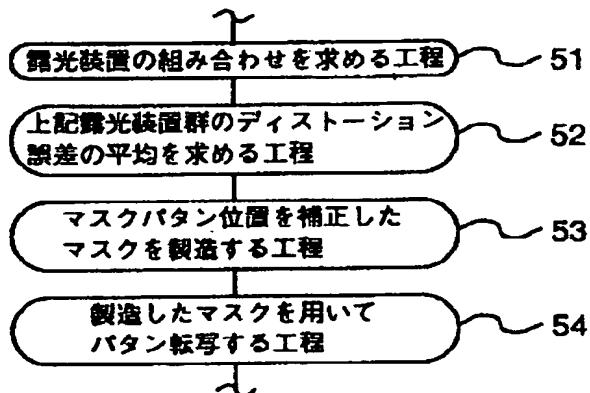


[Drawing 6]



[Drawing 5]

図 5



[Drawing 7]

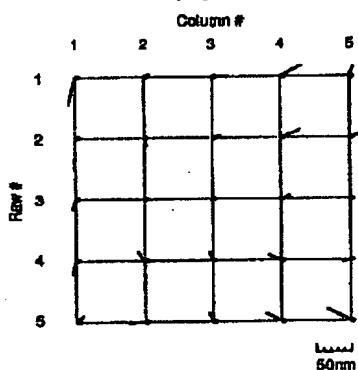
図 7

	Column #				
	1	2	3	4	5
1	(-18,-18)	(-2,+14)	(+8,-26)	(+11,+8)	(-9,0)
2	(-16,-25)	(+10,-23)	(+7,0)	(+18,-18)	(+29,+14)
3	(-24,-11)	(-18,-9)	(-1,-7)	(-5,-5)	(-8,-23)
4	(+8,+13)	(+25,+25)	(+11,+17)	(+7,+19)	(+14,+1)
5	(0,+6)	(-13,-2)	(+3,0)	(-11,-7)	(-24,+5)

(x,y), 単位:mm

[Drawing 8]

図 8



[Drawing 9]

図 9

	Column #				
	1	2	3	4	5
1	(-10,-44)	(+7,+9)	(+29,+1)	(+29,+18)	(+6,+16)
2	(-2,-51)	(+4,-13)	(+1,-4)	(+27,+12)	(+23,+8)
3	(-5,-17)	(+2,0)	(-2,-2)	(+14,-6)	(+1,-7)
4	(-7,-25)	(-11,+14)	(-5,+12)	(-18,+9)	(-12,-9)
5	(+10,+10)	(-23,-2)	(-7,+16)	(-21,+15)	(-34,+20)

(x,y), 単位:mm

[Drawing 10]

図 10

	Column #				
	1	2	3	4	5
1	(-8,-20)	(-9,+11)	(-18,-25)	(-18,-10)	(-9,-16)
2	(-14,-28)	(+6,-10)	(-4,-4)	(-14,-30)	(+6,-5)
3	(-18,-16)	(-20,-6)	(+1,-5)	(-18,-11)	(-9,-16)
4	(-15,+28)	(+10,+11)	(+18,-10)	(+10,+10)	(+28,-4)
5	(-10,-4)	(+28,-9)	(+10,-15)	(+20,-19)	(+10,-16)

(x,y), 単位:mm

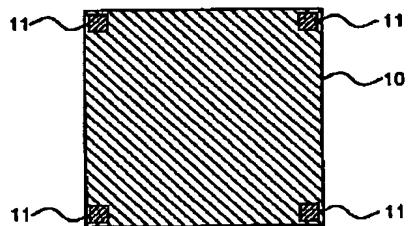
[Drawing 11]

11

	Column#				
	1	2	3	4	5
Row#	1 (-8,+26)	(-8,+11)	(-18,+26)	(-18,-10)	(-8,-18)
	2 (-14,+26)	(+6,-10)	(-4,-4)	(-14,-30)	(+6,+5)
	3 (-19,+8)	(-20,-6)	(+1,-5)	(-19,-11)	(-8,-15)
	4 (+15,+35)	(+35,+11)	(+16,+5)	(+25,+10)	(+26,+4)
	5 (-10,-4)	(+10, 0)	(+10,-15)	(+10,-20)	(+10,-15)
	(x,y) 单位 mm				

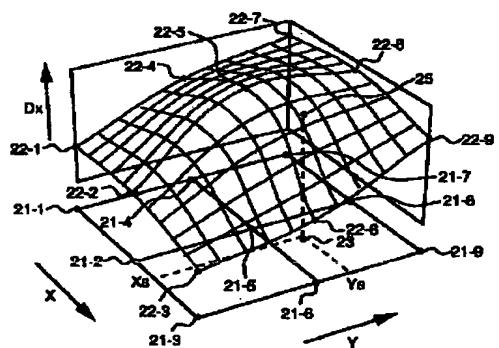
[Drawing 12]

圖 12



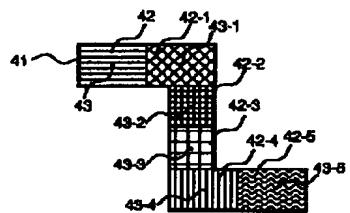
[Drawing 13]

图 13



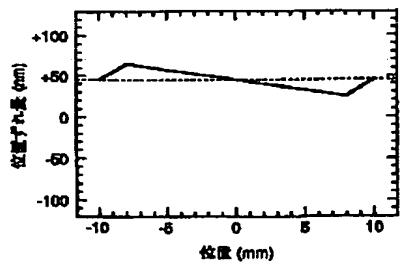
[Drawing 14]

図 14



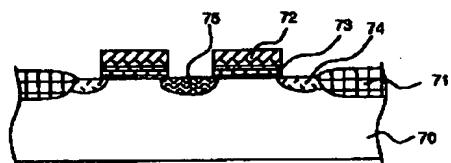
[Drawing 15]

图 15



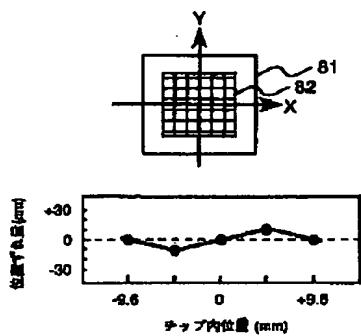
[Drawing 16]

図 1 6



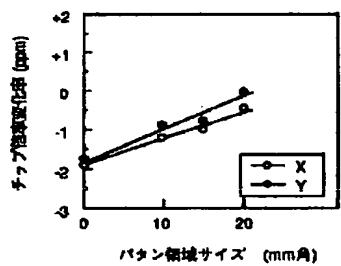
[Drawing 17]

図 1 7



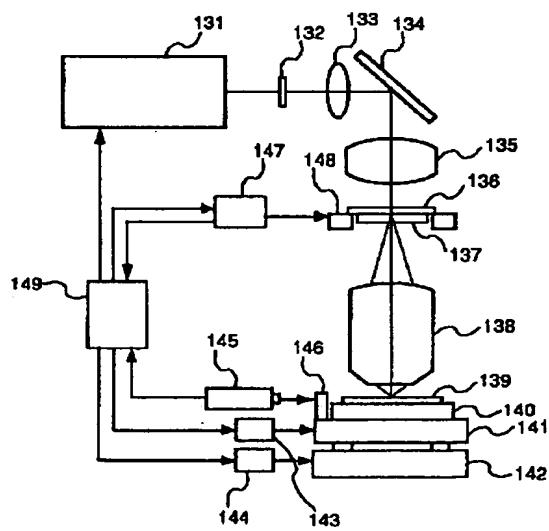
[Drawing 18]

図 1 8



[Drawing 19]

図 1 9



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-15834

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl.⁶
G 0 3 F 1/08
H 0 1 L 21/027

識別記号 庁内整理番号

F I
G 0 3 F 1/08
H 0 1 L 21/30

技術表示箇所
D
5 0 2 P
5 1 6 A

審査請求 未請求 請求項の数9 OL (全14頁)

(21)出願番号 特願平7-163266

(22)出願日 平成7年(1995)6月29日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 今井 彰

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 岡崎 信次

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 秋田 収喜

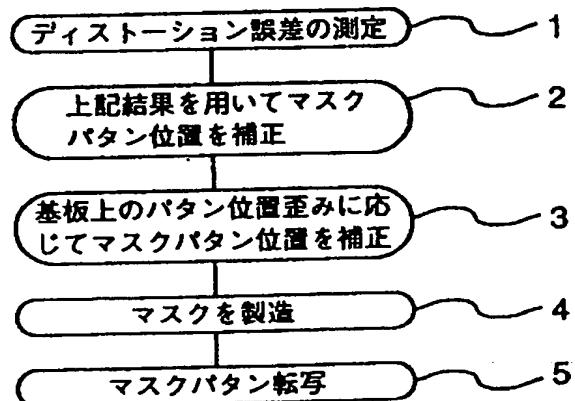
(54)【発明の名称】 マスクの製造方法

(57)【要約】

【目的】 ディストーション誤差による重ね合わせ精度劣化を抑え、高重ね合わせ精度でパタンを転写する。

【構成】 マスク上に形成されたマスクパタンを結像光学系を介して基板上に投影露光することにより該マスクパタンを基板上に転写するマスクパタン転写方法において用いる結像光学系のディストーション誤差を測定する工程と、該測定により得たディストーション誤差を補正するようにマスクパタン位置を調整したマスクを製造する工程とを含むマスクの製造方法により構成される。

図 1



【特許請求の範囲】

【請求項1】 マスク上に形成されたマスクパターンを結像光学系を介して基板上に投影露光することにより、上記基板上に形成されたパターンに該マスクパターンを重ね合わせ転写するパターン転写方法で用いるマスクの製造方法において、上記結像光学系を介して基板上に投影されたマスクパターン投影像の結像位置と上記基板上に形成されたパターンとの重ね合わせ誤差を小さくするように、マスクパターン位置に対するマスクパターン投影像結像位置のずれと上記基板上に形成されたパターンのウエハ処理プロセスにより生じるパターン位置歪みを補正するように上記マスクパターンのマスク上の位置を調整する工程を含むことを特徴とするマスクの製造方法。

【請求項2】 マスク上に形成されたマスクパターンを結像光学系を介して基板上に投影露光することにより、上記基板上に形成されたパターンに該マスクパターンを重ね合わせ転写するパターン転写方法で用いるマスクの製造方法において、上記結像光学系を介して基板上に投影されたマスクパターン投影像の結像位置と上記基板上に形成されたパターンとの重ね合わせ誤差を小さくするように、上記結像光学系のディストーション誤差により生じるマスクパターン投影像の結像位置歪みと上記基板上に形成されたパターンのウエハ処理プロセスにより生じるパターン位置歪みを補正するように上記マスクパターンのマスク上の位置を調整する工程を含むことを特徴とするマスクの製造方法。

【請求項3】 マスク上に形成されたマスクパターンを結像光学系を介して基板上に投影露光することにより、上記基板上に形成されたパターンに該マスクパターンを重ね合わせ転写するパターン転写方法で用いるマスクの製造方法において、上記結像光学系を介して基板上に投影されたマスクパターン投影像の結像位置と上記基板上に形成されたパターンとの重ね合わせ誤差を小さくするように、上記結像光学系のディストーション誤差により生じるマスクパターン投影像の結像位置歪みを補正するように上記マスクパターンのマスク上の位置を調整する工程を含むことを特徴とするマスクの製造方法。

【請求項4】 マスク上に形成されたマスクパターンを、結像光学系を介して基板上に投影露光することにより該マスクパターンを基板上に転写するマスクパターン転写方法において用いる結像光学系のディストーション誤差を測定する工程と、該測定により得たディストーション誤差を補正するようにマスクパターン位置を調整したマスクを製造する工程とを含むことを特徴とするマスク製造方法。

【請求項5】 請求項1至乃請求項4のうちいずれか1項に記載のマスクの製造方法において、前記結像光学系のディストーション誤差の測定結果を補間して求めた値を用いてマスクパターン位置を調整することを特徴とするマスクの製造方法。

【請求項6】 請求項1至乃請求項4のうちいずれか1項に記載のマスクの製造方法において、前記結像光学系のディストーション誤差の測定結果をスプライン関数を用いて補間して得た値を用いてマスクパターン位置を調整することを特徴とするマスクの製造方法。

【請求項7】 請求項1乃至請求項6のうちいずれか1項に記載のマスクの製造方法を用いて製造したマスク。

【請求項8】 請求項7に記載のマスクを使用し、このマスク上に形成されたマスクパターンを上記結像光学系を介して基板上に投影露光することにより該マスク上に形成されたマスクパターンを基板上に転写する工程を含むことを特徴とする固体素子の製造方法。

【請求項9】 請求項8に記載の固体素子の製造方法で製造した固体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子、超伝導体素子、磁性体素子、光集積回路素子、等の各種固体素子における微細パターン形成に用いられる露光用マスクの製造技術に関するものである。

【0002】

【従来の技術】 従来、大規模半導体集積回路等の固体素子における微細パターンの形成には、主に光リソグラフィ法の一つである縮小投影露光法が用いられてきた。本方法は、マスクあるいはレチカル（以下、マスクと総称する）上に形成されたマスクパターンを結像光学系を用いて基板上に縮小転写する方法である。

【0003】 上記縮小投影露光法を用いて転写される基板上最小パターン寸法は、例えば64メガビットダイナミックランダムアクセスメモリー(64 [M bit] DRAM)では0.3~0.4 [μm]程度、256 [M bit] DRAMでは0.3 [μm]以下にまで微細化してきている。半導体等の固体素子を製造するには、複数のパターンを高精度に重ね合わせて形成することが必要である。このときの重ね合わせ誤差は、一般に最小加工寸法の3分の1から4分の1以下であることが必要とされている。従って、高集積化のために最小加工寸法の微細化とともに重ね合わせ精度の高精度化も必要である。

【0004】 光リソグラフィ法において重ね合せ精度に影響を与える主要因としては、露光装置精度、マスク精度、ウエハプロセス（ウエハ歪み、位置合わせ露光用マーク形状劣化、レジスト塗布むら等）がある。

【0005】 これらのうちウエハプロセスに関しては、例えば熱処理時の歪みや熱膨張率の異なる材料の重ね合わせによるウエハ歪み等がある。

【0006】 また、露光装置精度に関しては、例えば最近では重ね合わせずれ量の平均+3 σ (σ は重ね合わせずれ値分布の標準偏差)で60 [nm]以下の性能が得られるような露光装置も発表されている。

【0007】 しかし、上記値は各露光装置単体で重ね合

せ露光した場合の性能であり、複数の投影露光装置間での重ね合わせ露光精度は装置間差のためにこれよりも劣化してしまう。このときの重ね合わせ精度劣化の大きな原因として、製造誤差による結像光学系の誤差があげられる。

【0008】重ね合せ精度に大きく影響を与える結像光学系の誤差として、ディストーション誤差（倍率誤差及び投影光学像の歪曲収差を含む結像特性）がある。これは、結像光学系を介して基板上に投影された投影光学像の位置が本来転写されるべきマスクパターンどおりの位置に対して変位した位置に転写されてしまう誤差としてあらわれる。

【0009】各投影露光装置において、ディストーション誤差値が極力小さくなり、理想位置からのずれ量がこの装置を用いて転写する最小パタン寸法よりも十分に小さくなるように、例えばずれ量が50[nm]以下になるように結像光学系が調整されている。しかし、誤差をゼロにすることは不可能であるため、ディストーション誤差は各露光装置毎に異なった固有の値を有することになる。また、ウエハプロセスにより生じる歪みも、伸縮方向等にある一定の傾向を持つ。

【0010】ここで、ある2つの投影露光装置間での重ね合わせ誤差を見積ると、各露光装置のディストーション誤差が50[nm]以下であったとしても、2つの露光装置間の重ね合わせ誤差としては誤差の2倍の100[nm]になる恐がある。さらに、ウエハプロセスによるウエハ歪みもウエハサイズの拡大に伴い大きくなり、数10[nm]以上の重ね合わせ誤差が生じる恐れもある。従って、ディストーション誤差による重ね合わせ誤差が上述の重ね合わせ精度に対して非常に大きな値となることがわかる。

【0011】このような投影露光装置間のディストーション誤差によるアライメントエラーを抑えるために、従来は各ロット毎にある特定の投影露光装置のみを使用するという方法が用いられてきた。また、別の方法として、ディストーション誤差による重ね合わせ誤差が許容範囲内に収まるような投影露光装置の組み合わせをあらかじめ求めておき、この組み合わせの中の投影露光装置のみを用いてあるロットの処理を行なうという方法もある。

【0012】また、ウエハプロセスによるウエハ歪みの補正方法としては、ウエハプロセスにより生じるウエハ歪み、具体的にはチップ配列の伸縮とチップサイズの伸縮を予め測定するか、あるいは重ね合わせ露光時に露光装置を用いてこれら歪みを測定して、重ね合わせ露光時にこれら誤差を補正してパタン転写するという方法がある。

【0013】

【発明が解決しようとする課題】重ね合わせ精度の高精度化のためには結像光学系のディストーション誤差とウ

エハプロセスによるウエハ歪みを極力小さくすることが望ましい。しかし、製造誤差等のためにこれらをゼロにすることは不可能である。通常、露光フィールド内全面でのディストーション誤差がある許容値範囲内に収まるように結像光学系は調整されている。このときの許容値範囲は、この結像光学系を用いて転写する最小パタン寸法や固体素子製造工程での許容重ね合わせ誤差よりも小さな値、例えば100[nm]以下、あるいは50[nm]以下といった微小な値であることが求められている。

【0014】上述のディストーション誤差は各投影露光装置毎に固有の値を持っている。このため、複数の投影露光装置間の露光チップ内の重ね合わせ誤差は、各装置間のディストーション誤差の差の分だけ劣化してしまう恐れがある。

【0015】例えば、露光チップ内のある位置でのディストーション誤差があるひとつの露光装置では露光チップ中心方向へ30[nm]、別の露光装置では露光チップ中心方向と反対の向きへ50[nm]あったとする。ふたつの露光装置間の重ね合わせ誤差は、露光チップ内の他の位置での重ね合わせ誤差が0[nm]であったとしても、この位置では誤差が80[nm]生じてしまう。このように、ディストーション誤差が重ね合わせ精度劣化の大きな要因となる恐れがあることがわかる。従って、重ね合わせ精度向上のためには、ディストーション誤差の装置間差を小さくすることが重要である。

【0016】しかし、結像光学系のディストーション誤差のみを任意に調整することは一般に困難である。そこで、ある一つのロットの処理ではある特定の露光装置のみを用いる方法、あるいは、ディストーション誤差の差による重ね合わせ誤差がより小さくなるような露光装置の組み合わせを求め、ある一つのロットの処理では求めた組み合わせ内の露光装置のみを用いる方法がある。

【0017】これらの方針を用いることにより、重ね合わせ誤差をより小さく抑えることが可能である。しかし、実際の装置使用状況を考慮すると組み合わせ内の露光装置数が不十分であったり、あるいは適当な組み合わせがないことも考えられる。このような場合、素子製造工程の遅延を生じたり、必要な重ね合わせ精度が得られなくなってしまうという問題があった。また、ロット毎に使用する投影露光装置が決められているために、露光装置のトラブルにより露光作業が停止したような場合や、製造工程によって複数のロットを同時に処理しなければならなくなつてロット処理が遅延した場合等に、素子製造に要する時間が増加し、結果的に製造コストが上昇してしまうという問題もあった。また、例えば投影露光装置と電子線描画装置とを組み合わせて使用した場合に、投影露光装置のディストーション誤差のために重ね合わせ精度が劣化してしまうという問題もあった。

【0018】さらに、ウエハ歪みについては、チップ配

列の伸縮はウエハステージの移動量を制御することによりX、Y方向それぞれ異なった補正值を用いて補正することが可能であるが、チップサイズの伸縮の補正はチップ全体の倍率誤差しか補正できないので、例えば被重ね合わせパターンに依存して非線型なウエハ歪みが生じていた場合の補正ができないという問題もあった。

【0019】本発明の目的は、ディストーション誤差による重ね合わせ精度劣化を抑え、高重ね合わせ精度でパターンを転写することが可能な技術を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0022】上記問題は、マスク上に形成されたマスクパターンを、結像光学系を介して基板上に投影露光することにより該マスクパターンを基板上に転写するマスクパターン転写方法において用いる結像光学系のディストーション誤差を測定する工程と、該測定により得たディストーション誤差を補正するようにマスクパターン位置を調整したマスクを製造する工程とを含むマスク製造方法により、さらに上記ディストーションを補正する方法としてディストーション誤差測定結果を補間して得た値を用いて、例えばスプライン関数を用いて補間して求めた値を用いてマスクパターン位置を補正するマスク製造方法により解決される。

【0023】

【作用】前述のように、パターンを転写する基板の歪みやディストーション誤差が重ね合わせ精度劣化の大きな要因となりうる。そこで、精度向上のためにはこれら誤差の影響を小さくすることが重要である。ディストーション誤差による転写パターン位置のずれを抑えるには、転写パターン位置のずれが小さくなるようにあらかじめマスクパターン位置を補正してやればよい。また、パターンを重ね合わせ転写する基板の非線型歪み量をあらかじめ、もしくは重ね合わせ露光直前に測定しておくか、あるいは計算により基板の歪み量を予測し、これらの結果に基づいてマスクパターン位置をさらに補正してやればよい。これらにより、基板上の被転写パターン位置とマスクパターン投影光学像との位置ずれ量をより小さく抑えることが可能となるので、結果として重ね合わせ誤差をより小さく抑えることができる。

【0024】マスクパターン位置を補正したマスクを製造する工程の一例を図1を用いて説明する。まず、対象とする露光装置の露光チップ内のディストーション誤差を測定する工程1を行なう。ディストーション誤差の測定方法としては公知の様々な方法を用いることができる。

【0025】例えば、レーザ干渉計等の位置計測手段を有する精密な基板ステージ上に感光性樹脂を塗布した基板を乗せ、結像光学系の光軸に対応する露光フィールド中心に投影された計測用基準パターン像を、その基板ステージをステッピング駆動することで上記基板上の多数の計測位置に露光する。次に、その露光フィールド中の各計測位置の計測用基準パターンに近接するよう多数の計測用参照パターン像を一括露光し、現像処理後に露光フィールド内の各計測位置の計測用基準パターン位置に対する計測用参照パターンの相対位置を求め、この相対位置に差をディストーション誤差とする方法がある。あるいは、特開平6-176999号公報において述べられているような測定方法を用いることもできる。

【0026】次に、上記測定により得られたディストーション誤差測定値を用いて、ディストーション誤差により生じた転写パターン位置の変位を補償するようにマスクパターン位置を補正したマスクを製造する工程2を行なう。ここで、ディストーション誤差を露光チップ内のすべての位置に対して測定することは不可能である。そこで、ディストーション誤差測定点以外の部分でのマスクパターン位置の補正には、周辺のディストーション誤差測定値から求めた値を用いればよい。

【0027】例えば、ディストーション誤差測定点間の位置では測定値を補間して求めた値を補正するようにマスクパターン位置を補正すれば良い。補間方法としてはさまざまな方法があるが、例えば3次元空間でx、y軸を基板面上のx、y軸と一致させ、z軸をディストーションのx方向誤差あるいはy方向誤差と考えて、測定値である3次元空間の離散点を通過する曲面あるいは多面体面を求め、これを用いて任意のx、y値に対する誤差値zを求めれば良い。上記曲面あるいは多面体面を表す方法としては、例えば図2に示したような多面体面で表す方法がある。図において、21-1から21-9はディストーション誤差測定点、22-1から22-9は各測定点でのディストーション誤差測定値のx成分を3次元表示したものである。位置23に対する多面体面上の点24のz座標値をこの位置の誤差値として用い、この誤差を補正するようにマスクパターン位置を調整すればよい。

【0028】ここで、位置補正の対象とするマスクパターンは、マスクパターンの中心位置あるいは重心位置に対する誤差値を用いる方法、図14に模式的に示したようにマスクパターン41をある決められた単位図形42以下の大きさの図形42および図形42-1～42-5に分割し、各図形の中心位置43、43-1～43-5、もしくは重心位置に対する誤差値を用いる方法、多面体面から求めた誤差値を用いて誤差値を等高線表示し、等高線で分けられた領域内では領域の境界となる誤差値の平均値をこの領域の誤差値として用いる方法等がある。

【0029】あるいは、例えば図13に模式的に示した

7

ように x 、 y 座標に対して z 軸方向を誤差値とし、スプライン関数を用いたスプライン曲面を用いて誤差値を3次元的に表し、これを用いて誤差値を補正する方法もある。図13において、21-1から21-9はディストーション誤差測定点、22-1から22-9は各測定点でのディストーション誤差測定値の x 成分を3次元表示したものである。位置23に対する曲面上の点25の z 座標値をこの位置の誤差値として用い、この誤差を補正するようにマスクパターン位置を調整すればよい。

【0030】一般的には、3次のスプライン関数を用いて測定データを補間することにより、露光フィールド面内の任意の位置におけるディストーション誤差測定結果を実用的に十分な精度で表すことができる。また、スプライン関数を用いることによりディストーション誤差の測定誤差を平滑化した曲面あるいは多面体面を得ることができるので、より滑らかに誤差を補正することも可能である。

【0031】ここで、スプライン関数を用いた測定結果の補正方法の一例について簡単に説明する。以下ではディストーション誤差(Dx , Dy)の x 成分: Dx の補正方法について説明するが、 y 成分: Dy についても同様である。ディストーション誤差の x 成分 $Dx(i, j)$ は露光チップ内領域の格子点 (x_i, y_j) ($i = 0, 1, 2, \dots, I; j = 0, 1, 2, \dots, J$) の上で与えられているとする。また、露光チップ領域は $a = x_0 \leq x \leq x_I = b$, $c = y_0 \leq y \leq y_J = d$ で定義されているとする。このとき、測定値を通る $(m-1)$ 次のスプライン関数 $S(x, y)$ を求める。実用的には3次のスプライン関数により測定値を十分に補間して表すことができるので、ここでは3次のスプライン関数を求めるこ 30 とにする。 x 方向の内部節点を、

【0032】

【数1】

$$\xi_1 < \xi_2 < \dots < \xi_h \quad (\text{数1})$$

【0033】 y 方向の内部節点を、

【0034】

【数2】

$$\eta_1 < \eta_2 < \dots < \eta_h \quad (\text{数2})$$

【0035】とする。このとき、 x 方向について、

【0036】

【数3】

8

$$\left. \begin{aligned} i+1 &= h+m \\ x_0 &< \xi_1 < x_m \\ x_1 &< \xi_2 < x_{m+1} \\ &\dots \\ x_{l-m} &< \xi_h < x_l \end{aligned} \right\} \quad (\text{数3})$$

* 【0037】 y 方向について、

10 【0038】

【数4】

$$\left. \begin{aligned} j+1 &= k+m \\ y_0 &< \eta_1 < y_m \\ y_1 &< \eta_2 < y_{m+1} \\ &\dots \\ y_{J-m} &< \eta_k < y_J \end{aligned} \right\} \quad (\text{数4})$$

20 【0039】が成立と仮定する。スプライン関数 $S(x, y)$ は一組の基底関数を用いて表すことができる。この基底関数は1次元の基底関数のテンソル積でつくることができる。必要な基底関数をつくるために、 x 方向に $2m$ 個の付加節点

【0040】

【数5】

$$\left. \begin{aligned} \xi_{1-m} &= \dots = \xi_0 = a \\ \xi_{h+1} &= \dots = \xi_{h+m} = b \end{aligned} \right\} \quad (\text{数5})$$

【0041】を、 y 方向にも同様に $2m$ 個の付加節点

【0042】

【数6】

$$\left. \begin{aligned} \eta_{1-m} &= \dots = \eta_0 = c \\ \eta_{k+1} &= \dots = \eta_{k+m} = d \end{aligned} \right\} \quad (\text{数6})$$

【0043】を、それぞれ導入する。これにより、スプライン関数 $S(x, y)$ は、

【0044】

【数7】

$$\begin{aligned} S(x, y) &= \sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} M_{mi}(x) M_{mj}(y) \\ &= \sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} N_{mi}(x) N_{mj}(y) \end{aligned} \quad (\text{数7})$$

40 【0045】と表せる。ここで、 $N_{mi}(x)$ 、 $N_{mj}(y)$ は、

【0046】

【数8】

9

$$\left. \begin{array}{l} N_{m,i}(x) = (\xi_i - \xi_{i-m}) M_{m,i}(x) \\ N_{m,j}(y) = (\eta_j - \eta_{j-m}) M_{m,j}(y) \end{array} \right\} \quad (数8)$$

10

* ((m-1)次) のB-スプライン (あるいは、fundamental spline) である。B-スプラインの値は次の漸化式によって計算できる。

【0048】

【0047】を満たし、それぞれ正規化されたm階 *

【数9】

$$M_{r,i}(x) = \frac{(x - \xi_{i-r}) M_{r-1,i-1}(x) + (\xi_i - x) M_{r-1,i}(x)}{\xi_i - \xi_{i-r}} \quad (数9)$$

但し、

$$M_{1,i}(x) = \begin{cases} (\xi_i - \xi_{i-1}) & (\xi_{i-1} \leq x < \xi_i) \\ 0 & (\text{その他}) \end{cases}$$

 $r = 2, 3, \dots, m$

【0049】

【数10】

$$M_{r,j}(y) = \frac{(y - \eta_{j-r}) M_{r-1,j-1}(y) + (\eta_j - y) M_{r-1,j}(y)}{\eta_j - \eta_{j-r}} \quad (数10)$$

但し、

$$M_{1,j}(y) = \begin{cases} (\eta_j - \eta_{j-1}) & (\eta_{j-1} \leq y < \eta_j) \\ 0 & (\text{その他}) \end{cases}$$

 $r = 2, 3, \dots, m$

【0050】(数7)式が与えられた測定値の補間関数となるためには、

【0051】

【数11】

$$\sum_{l=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} N_{m,i}(x_s) N_{m,j}(y_s) = D_x \quad (数11)$$

(r = 0, 1, ..., l; s = 0, 1, ..., j)

【0052】となればよい。(数11)式は C_{ij} を未知数とする連立1次方程式であり、(数3)式、(数4)式、(数5)式の条件により一意的な解を有する。(数11)を解くことにより $S(x, y)$ を求めることができる。※

$$S(x_s, y_s) = \sum_{p=1}^{i+m-1} \sum_{q=1}^{j+m-1} C_{pq} N_{mp}(x_s) N_{mq}(y_s) \quad (数13)$$

【0057】により、補間値 $D_{xs} = S(X_s, Y_s)$ が求まる。この値を用いてマスクパタン位置を補正すればよい。

【0058】あるいは、ディストーション誤差測定結果を用いてある一定の誤差値変化毎に領域を分類し、各領域毎に補正量を定めても良い。例えば、図3に模式的に示したように、誤差値0 [nm]を中心ディストーション誤差10 [nm]毎にマスクパタン領域を分類し、例えば誤差が15 [nm]から25 [nm]となる領域内のマスクパタンに対してはマスクパタン位置を-10 [nm]補正するようにすれば良い。図3では、一例として20 [nm]角チップ内においてディストーション誤差-5 [nm]以上+5 [nm]未満の第1の領域61、誤差+5 [nm]以上+15 [nm]未満の第2の領域62、以下、第3の領域63は誤差+15 [nm]

※ 【0053】ある位置 (X_s, Y_s) における補間値 D_{xs} の計算は、以下のようにすればよい。まず、(X_s, Y_s) が入る小領域 R 、

【0054】

【数12】

$$\left. \begin{array}{l} \xi_{i-1} \leq x_s \leq \xi_i \\ \eta_{j-1} \leq y_s \leq \eta_j \end{array} \right\} \quad (数12)$$

【0055】を見つける。すると、B-スプラインの局

所性から、

【0056】

【数13】

以上+25 [nm]未満、第4の領域64は誤差+25 [nm]以上+35 [nm]未満、第5の領域65は-15 [nm]以上-5 [nm]未満、第6の領域66は誤差-25 [nm]以上-15 [nm]、第7の領域67は誤差-35 [nm]以上-25 [nm]未満の領域を表している。各領域内の誤差値は、第1の領域61では0 [nm]、第2の領域62、第3の領域63、第4の領域64、第5の領域65、第6の領域66、第7の領域67ではそれぞれ+10 [nm]、+20 [nm]、+30 [nm]、-10 [nm]、-20 [nm]、-30 [nm]を用いる。マスクパタン位置はこの値を用いて補正すればよい。この方法を誤差のx、y両成分に対して行なえばよい。

【0059】また、より簡略な補正方法としては、図4に模式的に示したように測定点33の周辺にある第1の

補正領域31を設定し、この領域内での補正值はこの測定点での測定値を用いてこれを補償するようにマスクパタン位置を補正してもよい。この場合、第1の補正領域31と第2の補正領域32との境界でマスクパタン位置補正值が不連続に変化する恐れがあるために、マスクパタン位置補正後のマスクにおいてマスクパタンが不連続になる恐れがある。しかし、通常上記ずれ量は数10

[nm]以下でマスク製造時にマスクパタンを描画する電子線描画装置等のパタン描画装置の解像限界以下の微小量であるので、連続したマスクパタンを形成することが可能である。

【0060】ところで、縮小投影露光法は基板上にマスクパタンを縮小して転写する方法である。このときのマスクパタン縮小比は現在は5:1が主流であるが、この他にも4:1あるいは2.5:1も用いられている。マスク上の寸法はマスクパタン縮小比の逆数倍になるので、例えば縮小比5:1の場合、基板上に0.4[μm]パタンを転写するためのマスクパタンの寸法は2.0[μm]となる。マスクパタン位置も同様に、ウエハ上の転写パタン位置を30[nm]移動させるにはマスク上でマスクパタン位置を150[nm]移動させればよい。すなわち、ウエハ上寸法の縮小比の逆数倍の精度でマスクパタン位置を補正することが可能である。

【0061】さらに、マスクパタンを重ね合わせ転写する基板上にあらかじめ形成されたパタンが熱処理工程等のウエハ処理プロセスによりパタン位置歪みを生じている場合、歪み量を予め測定するか、あるいは計算により歪み量を予測する。得られた結果を用いて上記パタン位置歪みに応じてマスクパタン位置をさらに補正する工程3(図1)を行なう。

【0062】以上で述べたようにしてマスクパタン位置を補正してマスクを製造する工程4(図1)を行なう。さらに、製造したマスクと前記露光装置とを組み合わせて用いてマスクパタンを転写する工程5(図1)を行なうことにより、露光装置に依存した転写パタン位置の変位やウエハ歪みによる被転写パタン位置のずれを補正したパタン転写が可能となる。この結果、重ね合わせ誤差を小さく抑えることができる。

【0063】以上で述べた方法を用いて、各露光装置毎にマスクを製造してパタン転写に用いることが好ましい。しかし、同じパタンを転写するためのマスクを各露光装置毎に製造することは、コストの点からは好ましくない。そこで、ディストーション誤差の差が重ね合わせ許容誤差と比較して十分に小さい露光装置の組合せがある場合、一つのマスクをこれら露光装置間で共有することも可能である。このためには、図5に示したように、あらかじめディストーション誤差の差が許容範囲内におさまるような露光装置の組み合わせを求める工程51、上記工程51により求まった露光装置のディストーション誤差の平均値を求める工程52、工程52で求まった

ディストーション誤差平均値を用いてマスクパタン位置を補正したマスクを製造する工程53、を処理すれば良い。このようにして製造したマスクを上記露光装置の組み合わせ内で用いてパタンを転写する工程54を行なうことにより、重ね合わせ精度を許容値に抑えることが可能である。

【0064】重ね合わせ精度をさらに向上するためには、熱処理等のウエハプロセスにより生じたウエハ歪によるパタン歪も補正することが必要である。ウエハプロセスによりウエハ歪が生じていた場合、この歪量をあらかじめ測定しておくか、あるいは計算によりウエハ歪みをあらかじめ予測しておき、マスク製造時に得られた歪量に応じてマスクパタン位置を補正してやればよい。

【0065】ところで、光リソグラフィ法以外の実用化されているリソグラフィー法として、電子線直接描画法がある。電子線描画法の場合は、基板を搭載した基板ステージの移動と電子線の偏向により、パタンを描画あるいは転写する。下地パタン上に重ね合わせ描画する場合、例えば、描画チップの4すみに重ね合わせ描画用の位置マークパタンを配置しておき、これらの位置を検出して描画位置を補正してパタンを描画する。従って、下地の被重ね合わせパタンが投影露光装置で転写されていて、ディストーション誤差のために4すみのマークパタン位置が変位していたとすると、マークパタン位置誤差のために描画パタン位置も誤差を生じてしまう。

【0066】電子線描画装置側でこの誤差の補正を行うことも可能であるが、各露光装置それぞれの誤差特性やウエハロット毎の補正值を電子線描画装置に入力しなければならない。これに対して、上記方法はマスクと露光装置との組み合わせを決めれば良いので、工程がより簡便である。

【0067】

【実施例】以下、本発明の実施例について説明する。

【0068】(実施例1) 本実施例は、最小設計寸法0.25[μm]、チップサイズ20[mm]×20[mm]の256メガビットDRAM(ダイナミックランダムアクセスメモリ)級の半導体大規模集積回路の回路パタン加工工程について説明する。

【0069】本実施例では、NA=0.55のKrFエキシマレーザステッパー(投影露光装置)〔縮小比5:1、露光波長248[nm]〕を用いてパタン転写した。

【0070】本実施例で用いた第1のKrFエキシマレーザステッパーの20[nm]角露光チップ内でのディストーション誤差の測定結果を図6に模式的に示す。本実施例では、20[nm]角チップ内の5行5列(5mmピッチ)の格子点でのディストーション誤差を測定した。図では、ベクトルの向き及び長さで各格子点位置でのディストーション誤差測定値を模式的に示している。図7は各格子点位置でのディストーション誤差測定結果

を示したものである。行及び列の番号は、各格子点位置をチップの左上側から数えた番号を示している。測定の結果、ウエハ面上2次元x y座標系において、露光フィールド内の位置21(1行1列目の位置)においてx方向に-10 [nm]、y方向に+44 [nm]のディストーション誤差が測定された。

【0071】上記ディストーション誤差測定結果を用いてマスクパタン位置を補正した。例えば、位置21に対応するマスク上の位置21'に配置されたマスクパタン位置をx方向に+50 [nm]、y方向に-220 [nm]シフトさせた。ディストーション誤差の測定点間位置では、隣接測定点のディストーション誤差測定値をスプライン関数を用いて補間して求めた誤差値を補正するようマスクパタン位置を補正した。他の位置についても同様にマスクパタン位置を補正して、第1のマスクを製造した。

【0072】以上のようにして製造したマスクを用いて、第1の回路パタンを所定の工程を処理した基板上に転写した。所定の回路パタン加工工程を処理した後、第2のステッパーを用いて第2の回路パタンを転写した。

【0073】本実施例で用いた第2のK r Fエキシマレーザステッパーの20 [mm]角露光チップ内でのディストーション誤差の測定結果を図8に模式的に示す。本実施例では、20 [mm]角チップ内の5行5列(5 [mm]ピッチ)の格子点でのディストーション誤差を測定した。図では、ベクトルの向き及び長さで各格子点位置でのディストーション誤差値を模式的に示している。

【0074】図9は各格子点位置でのディストーション誤差測定結果を示したものである。行及び列の番号は各格子点位置をチップの左上側から数えた番号を示している。

【0075】測定の結果、ウエハ面上2次元xy座標系において、露光フィールド内の位置31(3行1列目の位置)においてx方向に-34 [nm]、y方向に-22 [nm]のディストーション誤差が測定された。

【0076】以上の測定結果を用いてマスクパタン位置を補正した。例えば位置31に対応するマスク上の位置31'に配置されたマスクパタン位置をx方向に+170 [nm]、y方向に-110 [nm]シフトさせた。また、他のマスクパタン位置についても第1のマスクと同様に補正して、第2のマスクを製造した。

【0077】以上のようにして製造したマスクを用いて第2の回路パタンを第1の回路パタン上に重ね合わせて転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、第1の回路パタンと第2の回路パタンの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲100 [nm]以下であり、良好な重ね合わせ精度で第2の回路パタンを転写することができた。

【0078】本実施例で製造した大規模集積回路の一部分である、MOSトランジスタ部の一部分の断面構造を

図16に模式的に示す。本実施例で転写した第1のマスクは素子分離パタン71を形成する工程で用い、また、第2のマスクはゲート配線パタン72を形成する工程で用いた。

【0079】以上のようにしてパタン転写することにより、ディストーション誤差によるパタン配置誤差を抑えることができる。これにより、重ね合わせ誤差をより小さく抑えることが可能である。従って、固体素子の製造工程歩留まりを向上させることができる。

【0080】さらに、重ね合わせ誤差を小さくできることから、重ね合わせずれに起因した素子特性のばらつきも抑えることができるので、製造工程歩留まりを向上させるとともに高性能な固体素子の製造も可能である。

【0081】なお、図16において、70は基板、73は絶縁膜、74はソース領域、75はドレン領域である。

【0082】(実施例2) 本実施例は、最小設計寸法0.25 [μm]、チップサイズ20 [mm] × 20 [mm] の256メガビットDRAM(ダイナミックランダムアクセスメモリ)級の大規模集積回路の回路パタン加工工程について説明する。

【0083】本実施例では、NA=0.55のK r Fエキシマレーザステッパー(投影露光装置)(縮小比5:1、露光波長248 [nm])を用いて実施例1と同じ第1の回路パタンを所定の工程を処理した基板上に転写した。

【0084】本実施例で用いたK r Fエキシマレーザステッパーの20 [mm]角露光チップ内でのディストーション誤差を測定した。本実施例では、第1の実施例と同様に20 [mm]角チップ内の5行5列(5 [mm]ピッチ)の格子点でのディストーション誤差を測定した。

【0085】上記測定結果と、実施例1で用いたK r Fエキシマレーザステッパーのディストーション誤差測定結果との差を図10に示す。測定結果から、本実施例で用いたステッパーと第1の実施例で用いた第1のステッパーとのディストーション誤差の差は±30 [nm]以内で、許容重ね合わせ誤差100 [nm]の3分の1以下であった。そこで、本実施例では第1の実施例で製造した第1のマスクを用いて第1の回路パタンを転写した。

【0086】転写したパタンを走査型電子顕微鏡を用いて検査した結果、第1の回路パタンとそれ以前の工程で形成されていた下地パタンとの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲100 [nm]以下であり、良好な重ね合わせ精度で第1の回路パタンを転写することができた。

【0087】(実施例3) 本実施例は、最小設計寸法0.25 [μm]、チップサイズ20 [mm] × 20 [mm] の256メガビットDRAM(ダイナミックランダムアクセスメモリ)級の大規模集積回路の回路パタン加工工程について説明する。

【0088】本実施例では、実施例1と同様にしてNA=0.55のKrfエキシマレーザステッパ(投影露光装置)【縮小比5:1、露光波長248[nm]】で用いる第1の回路パタン転写用のマスクを製造した。製造したマスクおよび上記ステッパを用いて、第1の回路パタンを所定の工程を処理した基板上に転写した。所定の回路パタン加工工程を処理した後、第2のステッパを用いて第2の回路パタンを転写した。

【0089】本実施例では、実施例1と同じ第2のKrfエキシマレーザステッパを用いて第2の回路パタンを転写した。図9は各格子点位置でのディストーション誤差測定結果を示したものである。行及び列の番号は、各格子点位置をチップの左上側から数えた番号を示している。

【0090】測定の結果、ウエハ面上2次元x y座標系において、露光フィールド内の位置31(3行1列目の位置)においてx方向に-34[nm]、y方向に-22[nm]のディストーション誤差が測定された。

【0091】以上の測定結果を用いてマスクパタン位置を補正した。例えば、位置31に対応するマスク上の位置31'に配置されたマスクパタン位置をx方向に+170[nm]、y方向に-110[nm]シフトさせた。また、他のマスクパタン位置についても第1のマスクと同様に補正して、第2のマスクを製造した。

【0092】以上のようにして製造したマスクを用いて第2の回路パタンを第1の回路パタン上に重ね合わせて転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、基板が歪んでいたために図15に示したような重ね合わせ誤差が生じていることがわかった。図の横軸はチップ中心を原点としたx y座標系のx軸上の位置を、縦軸は重ね合わせずれ量を表し、基板上のある一つの転写チップの測定結果を示している。また、図中の点線はこのチップ内の重ね合わせずれ量測定値の平均値を表している。図示した以外のチップでは、重ね合わせずれ量の平均値は-70[nm]から+43[nm]の範囲でばらついていた。測定結果から、所望の重ね合わせ許容範囲±80[nm]以下の重ね合わせずれ値が得られていないことがわかり、また、図15に示されたように基板歪による重ね合わせずれ量は20[nm]程度と重ね合わせずれ許容範囲と比較して大きかったので、重ね合わせ誤差測定結果を用いて第2のマスクのマスクパタン位置をさらに補正することとした。すなわち、図15に示した重ね合わせ誤差を補正するように、ディストーション誤差測定結果を用いて補正したマスクパタン位置をさらに補正した。以上のようにしてパタン位置を補正したマスクパタンデータを用いて第2の回路パタン転写用の第2のマスクを再度製造した。

【0093】以上のようにして製造したマスクを用いて第2の回路パタンを第1の回路パタン上に重ね合わせ転写した。転写したパタンを走査型電子顕微鏡を用いて検

査した結果、第1の回路パタンと第2の回路パタンの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲±80[nm]以下であり、良好な重ね合わせ精度で第2の回路パタンを転写することができた。

【0094】以上のようにしてパタン転写することにより、ディストーション誤差と基板歪によるパタン配置誤差を抑えることができる。これにより、重ね合わせ誤差をより小さく抑えることが可能である。従って、固体素子の製造工程歩留まりを向上させることができる。

【0095】さらに、重ね合わせ誤差を小さくできることから、重ね合わせずれに起因した素子特性のばらつきも抑えることができるので、製造工程歩留まりを向上させるとともに高性能な固体素子の製造も可能である。

【0096】(実施例4) 本実施例は、最小設計寸法0.3[μm]、チップサイズ20[mm]×20[mm]の64メガビットDRAM(ダイナミックランダムアクセスメモリ)級の大規模集積回路の回路パタン加工工程について説明する。

【0097】本実施例では、NA=0.63のi線ステッパ(投影露光装置)【縮小比5:1、露光波長365[nm]】を用いて第1の回路パタンを所定の工程を処理した基板上に転写した。

【0098】本実施例で用いたi線露光装置の20[m]角露光チップ内でのディストーション誤差の測定結果を図11に示す。本実施例では、20mm角チップ内の5行5列(5[mm]ピッチ)の格子点でのディストーション誤差を測定した。

【0099】以上の測定結果を用いてマスクパタン位置を補正してマスクを製造した。製造したマスクを用いて第1の回路パタンを転写した。

【0100】所定の回路パタン加工工程を処理した後、今度は電子線直接描画装置を用いて第2の回路パタンを転写した。重ね合わせ描画した際に用いた位置マークパタンの配置位置を図12に模式的に示す。重ね合わせ描画用のマークパタン11をチップ10の4隅に配置した。このマークパタンは上記第1の回路パタン加工時に同時に形成されたものである。

【0101】上記位置マークパタンを検出してパタン描画位置を補正しながら第2の回路パタンを描画、転写した。パタン転写後、第1の回路パタンと第2の回路パタンとの重ね合わせ誤差を走査型電子線顕微鏡を用いて測定したところ、重ね合わせ誤差が100[nm]より大きくなっている部分は見られなかった。すなわち、2つのパタンの重ね合わせ誤差は、重ね合わせ誤差許容範囲の100[nm]以下であり、所望の重ね合わせ精度が達成された。

【0102】以上で述べたようにして大規模集積回路素子を製造することにより、所望の重ね合わせ精度で所定のパタンを加工することができるため、高い歩留まりで素子を製造することが可能である。

【0103】(実施例5) 本実施例は、実施例1と同様にしてディストーション誤差を測定し、測定結果からスプライン関数を用いてスプライン曲面によりパターン転写領域内の任意の位置でのxおよびy方向のディストーション誤差を求めた。これにより求めた値を誤差値10 [nm] 每の領域に分割し、各領域を誤差量を補正するようにマスクパターン位置を補正した。なお、領域を分割する際の誤差値の変化量は10 [nm] に限るものではないが、マスクパターン位置の補正精度を考慮すると、少なくとも固体素子製造工程での必要重ね合わせ精度以下としなければならない。

【0104】本実施例におけるマスクパターン位置の補正方法を図3を用いて説明する。図3ではディストーション誤差値のx成分を表したが、y成分についても同様に表すことができる。図3において、マスク上の領域61はディストーション誤差値が-5 [nm] 以上5 [nm] 未満の領域、領域62はディストーション誤差値が5以上15 [nm] 未満の領域、以下領域63、領域64はそれぞれ15以上25 [nm] 未満、25以上35 [nm] 未満の領域を表している。同様に、領域65は-15以上-5 [nm] 未満、領域66は-25以上-15 [nm] 未満、領域67は-35以上-25 [nm] 未満の領域を表している。なお、本実施例で用いた露光装置では、露光領域内でのディストーション誤差のx成分は±35 [nm] 未満であった。

【0105】そこで、マスク製造時に領域61内をマスクパターン描画する際、x方向成分に対してマスクパターン位置の補正是行なわなかった。また、領域62内を描画する場合、x方向成分に対して-10 [nm] 描画位置を補正した。他の領域についても同様に、各領域のディストーション誤差範囲の中間値を補正するようにマスクパターン描画位置を補正した。なお、y方向成分に対しても同様に補正した。

【0106】以上のようにして製造したマスクを用いて、第1の回路パターンを所定の工程を処理した基板上に転写した。所定の回路パターン加工工程を処理した後、今度は電子線直接描画装置を用いて第2の回路パターンを転写した。重ね合わせ描画した際に用いた位置マークパターンの配置位置は実施例3と同様に図12に模式的に示した位置とした。また、重ね合わせ描画用のマークパターン11をチップ10の4隅に配置した。このマークパターン11は上記第1の回路パターン加工時に同時に形成されたものである。

【0107】上記位置マークパターンを検出してパターン描画位置を補正しながら第2の回路パターンを描画、転写した。パターン転写後、第1の回路パターンと第2の回路パターンとの重ね合わせ誤差を走査型電子線顕微鏡を用いて測定したところ、重ね合わせ誤差が100 [nm] より大きくなっている部分は見られなかつた。すなわち、2つのパターンの重ね合わせ誤差は、重ね合わせ誤差許容範囲

10

20

30

40

50

の100 [nm] 以下であり、所望の重ね合わせ精度が達成された。

【0108】以上で述べたようにして大規模集積回路素子を製造することにより、所望の重ね合わせ精度で所定のパターンを加工することができるため、高い歩留まりで素子を製造することが可能である。

【0109】(実施例6) 本実施例は、最小設計寸法0.25 [μm] 、チップサイズ20 [mm] × 20 [mm] の256メガビットDRAM(ダイナミックランダムアクセスメモリ)の大規模集積回路の回路パターン加工工程について説明する。

【0110】本実施例では、NA=0.55のKrFエキシマレーザステッパー(投影露光装置)(縮小比5:1、露光波長248 [nm])を用いて第1の回路パターンを所定の工程を処理した基板上に転写した。所定の回路パターン加工工程を処理した後に、第2のステッパーを用いて第2の回路パターンを転写した。

【0111】本実施例では、実施例1と同じ第2のKrFエキシマレーザステッパーを用いて第2の回路パターンを転写した。図9は各格子点位置でのディストーション誤差測定結果を示したものである。行及列の番号は、各格子点位置をチップの左上側から数えた番号を示している。測定の結果、ウエハ面上2次元x y座標系において、例えば露光フィールド内の位置31(31行1列目の位置)においてx方向に-34 [nm] 、y方向に-22 [nm] のディストーション誤差が測定された。

【0112】一方、基板上に形成された回路パターンの位置が素子製造工程により、図17に示したようにチップ内で複雑に歪むことが事前の検討からわかった。ここで、図17のグラフの横軸はチップ中心を原点とし、チップの各辺に平行な方向に2次元x y座標系をとったときのy軸上の位置を表わしている。また、縦軸は回路パターンを加工するために転写したレジストパターン位置からの、素子製造工程によるこの回路パターン位置のずれ量を表わしている。図は20 [mm] 角のチップ81内の15 [mm] 角領域82内にウエハ歪みを生じさせる材料を加工した回路パターンが配置されている場合を表わしている。

【0113】図18は、領域82の中心位置をチップ81の中心位置と一致させて配置し、領域82の寸法を0 [mm] 角から20 [mm] 角まで変化させたときの、20 [mm] 角チップ81のチップ寸法の伸縮率(チップ倍率変更率)を表わしたものである。図の横軸は、領域82の寸法を表わしている。ここで、領域82内の上記回路パターンはx方向に対して周期的なラインアンドスペースパターンと同様の回路パターンであった。図18に示されるように、x方向とy方向とでチップ81の伸縮率の差が最大0.5 [ppm] 程度生じていることもわかつた。

【0114】本実施例では、領域82のサイズは15

[mm] 角だったので、x 方向のチップ倍率誤差が -0.6 [ppm] 、y 方向のチップ倍率誤差が -0.9 [ppm] 生じるとして、マスクパタンのチップ寸法を補正した。なお、伸縮率 -0.6 [ppm] はチップ上寸法 1.8 [mm] に対して約 1.1 [nm] の縮みに対応する。さらに図 17 に示したように、パタン位置がチップ内で変化するので、この位置ずれを補正するようにマスク上の回路パタン位置を補正した。さらに、上述のディストーション誤差を補正するように、実施例 1 と同様にしてマスクパタンデータをさにら補正した。

【0115】以上のようにして補正したマスクパタンデータを用いて第 2 の回路パタン転写用の第 2 のマスクを製造した。

【0116】製造したマスクを用いて第 2 の回路パタンを第 1 の回路パタン上に重ね合わせ転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、第 1 の回路パタンと第 2 の回路パタンの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲 ±8.0 [nm] 以下であり、良好な重ね合わせ精度で第 2 の回路パタンを転写することができた。

【0117】以上のようにしてパタン転写することにより、ディストーション誤差と基板歪みによるパタン配置誤差を抑えることができる。これにより、重ね合わせ誤差をより小さく抑えることが可能である。従って、固体素子の製造工程歩留まりを向上させることができた。

【0118】さらに、重ね合わせ誤差を小さくできることから、重ね合わせずれに起因した素子特性のばらつきも抑えることができるので、製造工程歩留まりを向上させると共に高性能な固体素子の製造も可能である。

【0119】なお、本発明の実施例で使用されるステッバ(投影露光装置)の構成の例を図 19 に示す。

【0120】図 19 に示すように、光源 131 から発する光は、フライアイレンズ 132、コンデンサレンズ 133、ミラー 134 及びコンデンサレンズ 133 を介してマスク 136 を照明する。マスク 136 上には異物付着によるパターン転写不良を防止するためのペリクル 137 が設けられている。マスク 136 上に描かれたマスクパタンは、投影レンズ 138 を介して試料基板であるウエハ 139 上に投影される。なお、マスク 136 はマスク位置制御手段 147 で制御されたマスクステージ 148 上に載置され、その中心と投影レンズ 138 の光軸とは正確に位置合わせがなされている。ウエハ 139 は、試料台 140 上に真空吸着されている。試料台 140 は、投影レンズ 138 の光軸方向すなわち Z 方向(縦方向)に移動可能な Z ステージ 141 上に載置され、さらに XY ステージ 142 上に搭載されている。Z ステージ 141 及び XY ステージ 142 は、主制御系 149 からの制御命令に応じてそれぞれの駆動手段 113、114 によって駆動されるので、所望の露光位置に移動可能である。その位置は Z ステージ 141 に固定されたミラ

ー 146 の位置として、レーザ測長機 145 で正確にモニターされている。また、ウエハ 139 の表面位置は、通常の露光装置が有する焦点位置検出手段で計測される。計測結果に応じて Z ステージ 141 を駆動させることにより、ウエハ 139 の表面は常に投影レンズ 138 の結像面と一致させることができる。

【0121】以上、本発明者によってなされた発明を、上記実施例に基づき具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0122】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0123】以上本発明によれば、ディストーション誤差による重ね合わせ精度劣化を抑え、高重ね合わせ精度でパタンを転写することができる。

【図面の簡単な説明】

【図 1】本発明によるマスク製造工程を示す工程図である。

【図 2】本発明によるマスクパタン補正方法を示す模式図である。

【図 3】本発明によるマスクパタン補正方法を示す模式図である。

【図 4】本発明によるマスクパタン補正方法を示す模式図である。

【図 5】本発明によるマスク製造工程を示す工程図である。

【図 6】本発明の実施例 1 における第 1 のステッパのディストーション誤差測定結果を示す模式図。

【図 7】本発明の実施例 1 における第 1 のステッパのディストーション誤差測定結果を示す図である。

【図 8】実施例 1 における第 2 のステッパのディストーション誤差測定結果を示す模式図である。

【図 9】本発明の実施例 1 における第 2 のステッパのディストーション誤差測定結果を示す図である。

【図 10】本発明の実施例 2 における 2 台のステッパのディストーション誤差の差の測定結果を示す図である。

【図 11】本発明の実施例 3 におけるステッパのディストーション誤差測定結果を示す図である。

【図 12】本発明の実施例 3 における位置マークパタンの配置を示す模式図である。

【図 13】本発明によるマスクパタン補正方法を示す模式図である。

【図 14】本発明によるマスクパタン補正方法を示す模式図である。

【図 15】本発明の実施例 3 において測定した重ね合わせ誤差測定結果を示す図である。

【図 16】大規模集積回路に搭載される MOS ドランジ

スク部の一部分の断面構造を示す模式図である。

【図17】基板上に形成された回路パタンのパタン位置ずれ量を示す模式図である。

【図18】基板上に形成されたチップの2次元方向の伸縮変化率を示す模式図である。

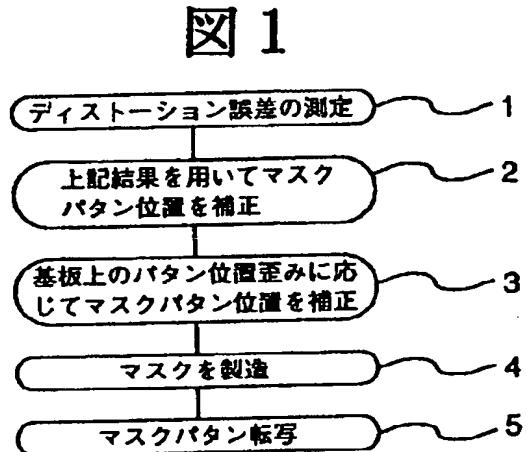
【図19】本発明の実施例で使用されるステッパーの構成の例を示す概略構成図である。

【符号の説明】

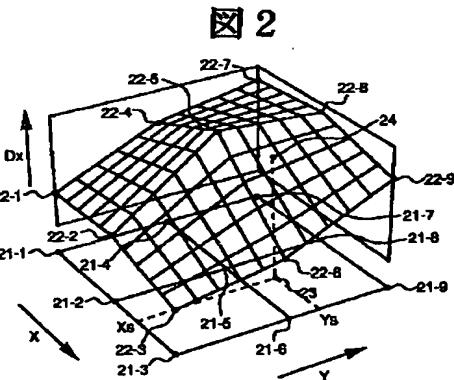
1…ディストーション誤差を測定する工程、2…上記結果を用いてマスクパタン位置を補正する工程、3…基板上のパタン位置歪に応じてマスクパタン位置を補正する工程、4…マスクを製造する工程、5…マスクパタンを転写する工程、10…チップ、11…位置マーク、21-1, 21-2, 21-3, 21-4, 21-5, 21-6, 21-7, 21-8, 21-9, 22-1, 22-2, 22-3, 22-4, 22-5, 22-6, 22-7, 22-8, 22-9, 24…マスクパタン位置、22-10…第1の補正領域、32…第2の補正領域、33…測定点、41…マスクパタン、42…图形、2-1, 42-2, 42-3, 42-4, 42-5…图形、43…图形の中心位置、43-1, 43-2, 43-3, 43-4, 43-5…图形の中心位置、51…露光装置の組み合せを求める工程、52…上記露光装置群のディストーション誤差の平均を求める工程、53…マスクパタン位置を補正したマスクを製造する工程、54…製造したマスクを用いてパタン転写する工程、60…チップ、61…第1の領域、62…第2の領域、63…第3の領域、64…第4の領域、65…第5の領域、66…第6の領域、67…第7の領域、70…基板、71…素子分離パタン、72…ゲート配線パタン、73…絶縁膜、74…ソース領域、75…ドレイン領域である。

10

【図1】

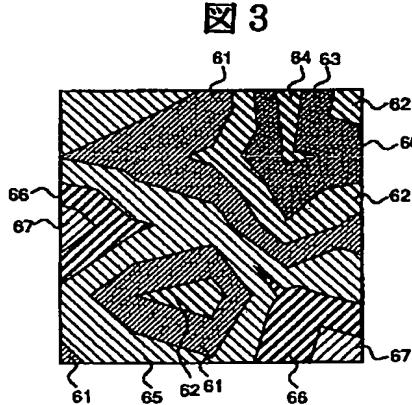


【図2】



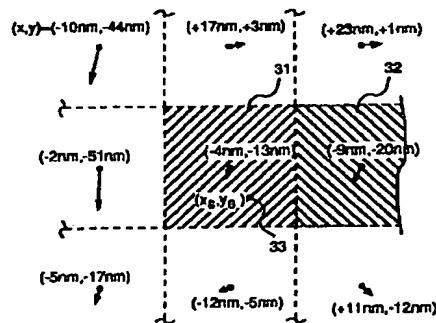
【図6】

【図3】



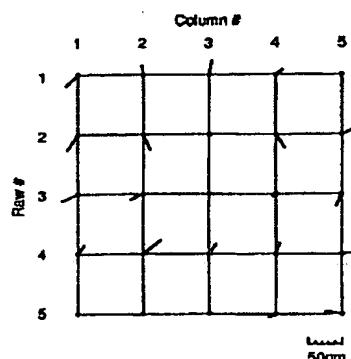
【図3】

【図4】



【図4】

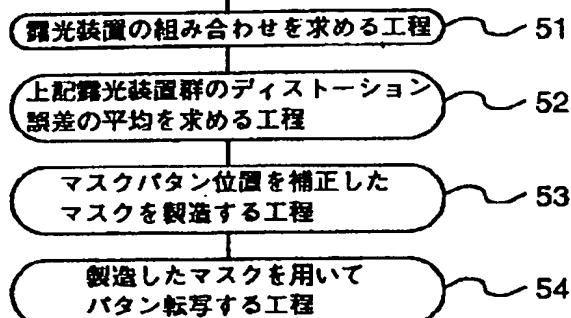
【図6】



(图 5)

(7)

5



〔图8〕

〔图9〕

7

	Column #				
	1	2	3	4	5
Row #	1 (-18,-18)	(-2,+14)	(+5,+26)	(+11,+6)	(-3, 0)
	2 (-16,-25)	(+10,-23)	(-7, 0)	(-13,-18)	(+23,-14)
	3 (-24,-11)	(-18,-9)	(-1,-7)	(-5,-5)	(-8,-23)
	4 (+8,+13)	(+25,+25)	(+11,-17)	(-7,+15)	(-14,+1)
	5 (0,-6)	(-13,-2)	(+3, 0)	(-11,-7)	(-24,-1)

【図10】

图 10

		Column #				
		1	2	3	4	5
Row #	1	(-8,+28)	(-8,+11)	(-18,+25)	(-18,-10)	(-6,-16)
	2	(-14,+28)	(+8,-10)	(-4,-4)	(-14,-30)	(+8,+5)
	3	(-19,-16)	(-20,-8)	(+1,-6)	(-19,-11)	(-9,-16)
	4	(-15,-28)	(+10,+11)	(+18,-10)	(+10,+10)	(+28,+4)
	5	(-10,-4)	(+28,0)	(+10,-15)	(+20,+19)	(+10,-15)

【図13】

8

		Column #				
		1	2	3	4	5
Row #	1	(-10, -44)	(+7, +5)	(+23, +1)	(+29, +18)	(+8, +18)
	2	(-2, -51)	(-4, -19)	(+1, +4)	(+27, +12)	(+23, +9)
	3	(-6, -17)	(+2, 0)	(-2, -2)	(+14, +6)	(+1, -7)
	4	(-7, -29)	(-11, +14)	(-5, +12)	(-18, +9)	(-12, -5)
	5	(+10, +10)	(-23, -2)	(-7, +15)	(-21, +13)	(-34, +20)
		(x, y) 単位:mm				
1						
2						
3						
4						
5						

【図 12】

【图 11】

图 12

图 11

	Column#				
	1	2	3	4	5
Row#	1 (-8,+26)	(-9,+11)	(-18,+25)	(-18,-10)	(-8,-18)
	2 (-14,+20)	(+6,-10)	(-4,-4)	(-14,-30)	(+8,-5)
	3 (-19,-6)	(-20,-9)	(+1,-5)	(-19,-11)	(-9,-16)
	4 (+15,+36)	(+9,-11)	(+18,+5)	(+25,+10)	(-28,+4)
	5 (-10,-4)	(+10, 0)	(+10,-15)	(+10,+20)	(+10,-15)

【图 16】

☒ 1 4)

【图 15】

图 16

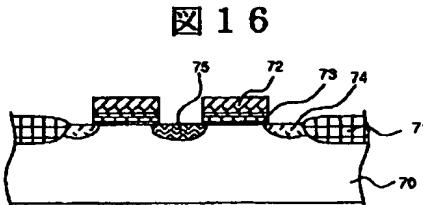
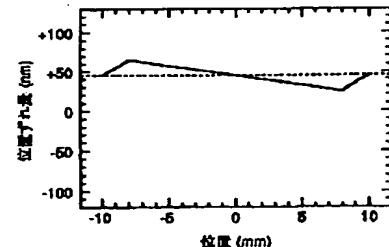
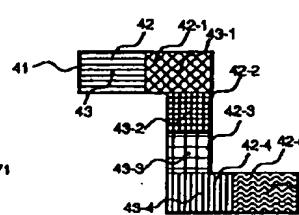
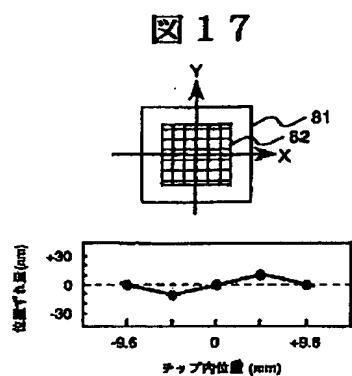


圖 14

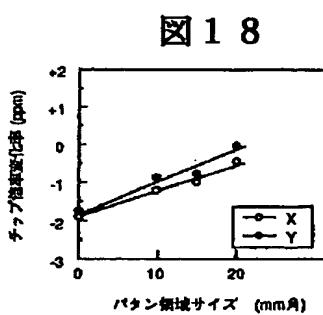
图 15



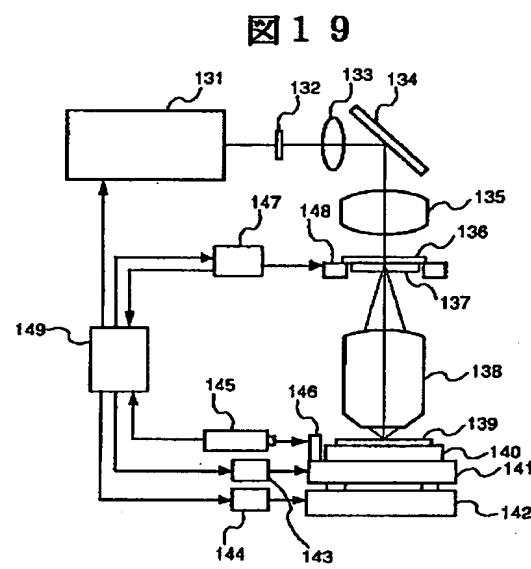
【図17】



【図18】



【図19】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.